

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-026642

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H01L 23/28

H01L 21/56

H01L 21/60

H01L 23/12

(21)Application number : 09-181132

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.07.1997

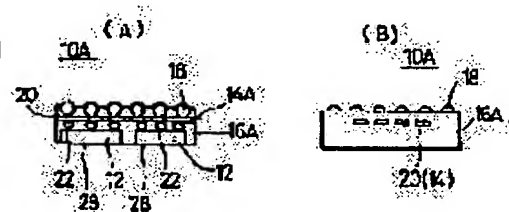
(72)Inventor : KAWAHARA TOSHISANE
 OOSAWA MITSUHIRO
 MORIOKA SOUCHI
 NIIMA YASUHIRO
 ONODERA MASANORI
 FUKAZAWA NORIO
 KASAI JUNICHI

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF AND MOUNTING STRUCTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To raise the degree of terminal layout freedom and reliability of a semiconductor device having a chip size package structure, manufacture thereof and mounting structure thereof.

SOLUTION: A semiconductor device comprises one or more semiconductor elements 12, sealing resin 16A sealing the elements 12, electrode plates 14A which are disposed in the resin 16A, with leaving their ends exposed at the side face of the resin 16A to form side terminals 20 and electrically connected to the elements 12, and protrudent terminals 18 disposed on the plates 14A but exposed at the bottom face of the resin 16A. The plates 14A radiate the heat produced from the elements 12 and reinforce the resin 16A.



LEGAL STATUS

[Date of request for examination]

21.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application converted
 registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
 rejection]

[Date of requesting appeal against examiner's decision of
 rejection]

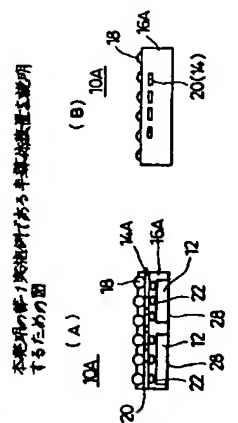
(10)日本国 特許 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平11-26642
(43)公開日 平成11年(1999)1月28日

(51)IntCl ⁴		識別記号		P I	
H 01 L	23/28	3 1 1	21/58	H 01 L	23/28
	21/56			A	
	21/60			R	
	23/12			3 1 1 S L	
審査請求 未請求 請求項の範囲30 O L (全 38 頁)					

(21)出願番号	特開平9-181132	(71)出願人	00005223 富士通株式会社
(22)出願日	平成9年(1997)7月7日	(72)発明者	川原 憲志英 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 (72)発明者 大澤 清洋 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 (74)代理人 外理士 伊東 宏彦

(54)【発明の名称】 半導体装置及びその製造方法及びその実装構造

(57)【要約】
【課題】本発明はチップサイズパッケージ構造を有した半導体装置及びその製造方法及びその実装構造に関し、半導体装置の端子レイアウトの自由度を高めると共に信頼性の向上を図ることを課題とする。
【解決手段】単数または複数の半導体素子1,2と、この半導体素子1,2を封止する封止樹脂16Aと、封止樹脂16A内に配設されて半導体素子1,2と電気的に接続する共にその端部が封止樹脂16Aの側面に露出して側部端子20を形成する電極板14Aと、この電極板14Aに配設され封止樹脂16Aの底面から露出する突出端子18とを設ける。この電極板14Aは、半導体素子1,2で発生する熱を放熱すると共に、封止樹脂16Aの補強材として機能する。



【特許請求の範囲】
【請求項1】 単数または複数の半導体素子と、前記半導体素子の一部または全部を封止する封止樹脂と、
前記封止樹脂内に配設され、前記半導体素子と電気的に接続する共にその一部が少なくとも前記封止樹脂の側面に露出して外部接続端子を形成する電極板とを具備することを特徴とする半導体装置。
【請求項2】 請求項1記載の半導体装置において、前記半導体素子と前記電極板とをフリップチップ接合したことを特徴とする半導体装置。
【請求項3】 請求項1または2記載の半導体装置において、前記電極板を前記封止樹脂の側面に加え底面にも露出させて外部接続端子を形成するよう構成したことを特徴とする半導体装置。
【請求項4】 請求項1または2記載の半導体装置において、前記電極板に突出形成された突出端子を設けると共に、前記突出端子を前記封止樹脂の底面に露出させて外部接続端子を形成する構成としたことを特徴とする半導体装置。
【請求項5】 請求項4記載の半導体装置において、前記突出端子は、前記電極板を塑性加工することにより前記電極板に一体的に形成したことを特徴とする半導体装置。
【請求項6】 請求項4記載の半導体装置において、前記突出端子は、前記電極板に配設した突起電極であることを特徴とする半導体装置。
【請求項7】 請求項1乃至6のいずれかに記載の半導体装置において、前記半導体素子の一部を前記封止樹脂より露出させた構成としたことを特徴とする半導体装置。
【請求項8】 請求項1乃至7のいずれかに記載の半導体装置において、前記封止樹脂の側面に放熱部材を配設したことを特徴とする半導体装置。
【請求項9】 金属基板に対しパターニング処理を行なうことにより電極板を形成する電極板形成工程と、前記電極板に半導体素子を搭載し電気的に接続するチップ搭載工程と、
前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、
個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とする半導体装置の製造方法。
【請求項10】 請求項9記載の半導体装置の製造方法において、
前記電極板形成工程で実施するパターニング処理は、エ

ッチング法またはプレス加工法を用いて行なうことを特徴とする半導体装置の製造方法。
【請求項9または10記載の半導体装置の製造方法において、
前記チップ搭載工程で、前記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いることを特徴とする半導体装置の製造方法。
【請求項12】 請求項9または11のいずれかに記載の半導体装置の製造方法において、
前記チップ搭載工程を実施する前に、前記半導体素子放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、
前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載することを特徴とする半導体装置の製造方法。
【請求項13】 請求項9または12のいずれかに記載の半導体装置の製造方法において、
前記電極板形成工程で、前記電極板より突出する突出子を形成すると共に、
前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成することを特徴とする半導体装置の製造方法。
【請求項14】 請求項1乃至8のいずれかに記載の半導体装置を実装基板上に実装する半導体装置の実装構造において、
前記半導体装置が装着される装着部と、前記封止樹脂側面に露出した外部接続端子と接続するよう設けられリード部とを有するソケットを用い、
前記半導体装置を前記ソケットに装着して前記リード部と前記外部接続端子とを接続した上で、前記リード部を実装基板上に接合させることを特徴とする半導体装置の実装構造。
【請求項15】 請求項4乃至6のいずれかに記載の半導体装置を実装基板上に実装する半導体装置の実装構造において、
前記外部端子を形成する前記突出端子にパンプを配設し、該パンプを介して前記半導体装置を前記実装基板に接合させることを特徴とする半導体装置の実装構造。
【請求項16】 請求項3乃至8のいずれかに記載の半導体装置を実装基板上に実装する半導体装置の実装構造において、
前記外部接続端子の形成位置に対応した位置に配設された可換可能な接続ピンと、前記接続ピンを位置決めする位置決め部材とにより構成される実装部材を用い、
前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板上に接合すると特徴とする半導体装置の実装構造。
【請求項17】 少なくとも表面に突起電極が直接形成される半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を覆い前記突起

電極を対止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、

【請求項23】 少なくとも表面に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を対止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、

【請求項24】 請求項23記載の半導体装置において、

前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接合固定する接合剤と、

【請求項25】 請求項23記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配線パターンと、前記インタポーザに形成された前記突起電極の配線パターンとを対止する樹脂層とを具備する半導体装置本体と、

【請求項26】 請求項23記載の半導体装置において、

前記半導体装置本体と前記インタポーザとを接合固定する接合剤と、

【請求項27】 請求項23記載の半導体装置において、

前記半導体装置本体と前記インタポーザとを接合固定する接合剤と、

【請求項28】 請求項23記載の半導体装置において、

前記半導体装置本体と前記インタポーザとを接合固定する接合剤と、

【請求項29】 請求項23記載の半導体装置において、

【請求項30】 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、

【請求項31】 請求項30記載の半導体装置において、

【請求項32】 請求項30記載の半導体装置において、

【請求項33】 請求項30記載の半導体装置において、

【請求項34】 請求項30記載の半導体装置において、

【請求項35】 請求項30記載の半導体装置において、

【請求項36】 請求項30記載の半導体装置において、

【請求項37】 請求項30記載の半導体装置において、

【請求項38】 請求項30記載の半導体装置において、

【請求項39】 請求項30記載の半導体装置において、

【請求項40】 請求項30記載の半導体装置において、

【請求項41】 請求項30記載の半導体装置において、

【請求項42】 請求項30記載の半導体装置において、

【請求項43】 請求項30記載の半導体装置において、

電極板を塑性加工することにより前記電極板に一体的に形成したことを特徴とするものである。また、請求項6記載の発明では、前記請求項4記載の半導体装置において、前記突出端子は、前記電極板に配設した突起電極であることを特徴とするものである。

【0012】また、請求項7記載の発明では、前記請求項1乃至6のいずれかに記載の半導体装置において、前記半導体素子の一部を前記封止樹脂より露出させた構成としたことを特徴とするものである。また、請求項8記載の発明では、前記請求項1乃至7のいずれかに記載の半導体装置において、前記封止樹脂の前記半導体素子に近接する位置に放熱部材を配設したことを特徴とするものである。

【0013】また、請求項9記載の発明に係る半導体装置の製造方法では、金属基板に対しパターン形成処理を行なうことにより電極板を形成する電極板形成工程と、前記電極板に半導体素子を搭載し電気的に接続するチップ搭載工程と、前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とするものである。

【0014】また、請求項10記載の発明では、前記請求項9記載の半導体装置の製造方法において、前記電極板形成工程で実施するパターン形成処理は、エッチング法またはプレス加工法を用いて行なうことを特徴とするものである。また、請求項11記載の発明では、前記請求項9または10記載の半導体装置の製造方法において、前記チップ搭載工程で、前記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いたことを特徴とするものである。

【0015】また、請求項12記載の発明では、前記請求項9または11のいずれかに記載の半導体装置の製造方法において、前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載することを特徴とするものである。

【0016】また、請求項13記載の発明では、前記請求項9または12のいずれかに記載の半導体装置の製造方法において、前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成することを特徴とするものである。【0017】また、請求項14記載の発明では、前記請求項1乃至8のいずれかに記載の半導体装置を実装基板に実装する半導体装置の装設構造において、前記半導体装置が装着される装着部と、前記封止樹脂の側面に露出した外部接続端子と接続するよう設けられたリード部と

を有するソケットを用い、前記半導体装置を前記ソケットに装着して前記リード部と前記外部接続端子を接続した上で、前記リード部を前記実装基板に接合させることを特徴とするものである。

【0018】また、請求項15記載の発明では、前記請求項4乃至6のいずれかに記載の半導体装置を実装基板に実装する半導体装置の装設構造において、前記外部端子を形成する前記突出端子にパンプを配設し、このパンプを介して前記半導体装置を前記実装基板に接合させることを特徴とするものである。

【0019】また、請求項16記載の発明では、前記請求項3乃至8のいずれかに記載の半導体装置を実装基板に実装する半導体装置の装設構造において、前記外部接続端子の形成位置に対応した位置に配設された可撓可屈な接続ピンと、この接続ピンを位置決めする位置決め部材とにより構成される装設部材を用い、前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板に接合することを特徴とするものである。

【0020】また、請求項17記載の発明に係る半導体装置では、少なくとも表面上に突起電極が直接形成される半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電気的に接続する異方性導電膜と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とするものである。

【0021】また、請求項18記載の発明では、前記請求項17記載の半導体装置において、前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタポーザに配設された前記外部接続端子の配設ピッチを同一ピッチとしたことを特徴とするものである。

【0022】また、請求項19記載の発明では、前記請求項17記載の半導体装置において、前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタポーザに配設された前記外部接続端子の配設ピッチを大きく設定したことを特徴とするものである。

【0023】また、請求項20記載の発明では、前記請求項17乃至19のいずれかに記載の半導体装置において、前記インタポーザ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設したことを特徴とするものである。また、請求項21記載の発明では、前記請求

項17乃至20のいずれかに記載の半導体装置では、前記インタポーザとしてTAB(Tape Automated Bonding)テープを用いたことを特徴とするものである。

【0024】また、請求項22記載の発明に係る半導体装置の製造方法では、半導体素子の少なくとも表面上に突起電極を直接形成すると共に、この半導体素子の表面に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成し、前記半導体装置本体を形成するインタポーザを形成するインタポーザ形成工程と、前記半導体装置本体と前記インタポーザとを接着性及び押圧方向に対する導電性を有した異方性導電膜を介して接合し、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電気的に接続する接合工程と、前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とするものである。

【0025】また、請求項23記載の発明に係る半導体装置では、少なくとも表面上に突起電極が直接形成される半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定する接着剤と、前記半導体装置本体と前記インタポーザとを電気的に接続する導電性部材と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とするものである。

【0026】また、請求項24記載の発明では、前記請求項23記載の半導体装置において、前記導電性部材は、導電性ペーストであることを特徴とするものである。また、請求項25記載の発明では、前記請求項23記載の半導体装置において、前記導電性部材は、スタックドパッドであることを特徴とするものである。

【0027】また、請求項26記載の発明では、前記請求項23記載の半導体装置において、前記導電性部材は、前記配線パターンと一体的に形成されると共に前記接着剤の配設位置を迂回して前記突起電極に接続するフライングリードであることを特徴とするものである。

【0028】また、請求項27記載の発明では、前記請求項26記載の半導体装置において、少なくとも前記突起電極と前記フライングリードとの接続位置を樹脂封止

する構成としたことを特徴とするものである。また、請求項28記載の発明では、前記請求項23記載の半導体装置において、前記導電性部材は、前記突起電極の半導体装置の突起電極に接合すると共に、その上端部を前記突起電極の突起電極に接合すると共に、下端部を前記突起電極の突起電極に接合すると共に、この突起電極を位置決め部材とにより構成されることを特徴とするものである。

【0029】また、請求項29記載の発明では、前記請求項28記載の半導体装置において、前記位置決め部材は、可撓性部材により形成されていることを特徴とするものである。更に、請求項30記載の発明に係る半導体装置の製造方法では、半導体素子の少なくとも表面上に突起電極を直接形成すると共に、この半導体素子の表面に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成し、前記半導体装置本体を形成するインタポーザを形成するインタポーザ形成工程と、前記半導体装置本体と前記インタポーザとを接着剤を介して接合すると共に、前記半導体装置本体と前記インタポーザとを電気的に接続する導電性部材と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とするものである。

【0030】上記した各手段は、次のように作用する。請求項1記載の発明に係る半導体装置によれば、半導体素子を保護する封止樹脂内には電極板が存在し、この電極板は封止樹脂を補強する機能を奏するため、半導体素子の保護をより確実に行なうことができ、よって半導体装置の信頼性を向上させることができる。

【0031】また、電極板は半導体素子と外部接続端子との間に位置するものであるため、半導体素子に直接外部接続端子を接続する構成と異なり、電極板により半導体素子と外部接続端子との間で配線の引回しを行なうことが可能となる。よって、電極板を設けることにより半導体装置の端子レイアウトの自由度を高めることができる。また、電極板は導電性金属よりなり、封止樹脂よりも異方性導電性材料であるため、半導体素子で発生した熱は電極板を介して外部に放熱される。よって、半導体素子で発生した熱を効果よく放熱することができる。

【0032】更に、電極板の外部接続端子は封止樹脂の側面に露出した構成とされているため、半導体装置を実装基板に実装した後ににおいても外部接続端子を介して半導体素子の動作試験を行なうことが可能となる。また、請求項2及び請求項11記載の発明によれば、半

体素子と電極板とをフリップチップ接合したことによ
り、小スペース内において確実に半導体素子と電極板と
を接合することができ、半導体装置の小型化を図ること
ができる。また、接合部における配線長が短いためイン
ピーダンスを低減できると共に、多ピン化にも対応す
ることができる。

【0033】また、請求項3記載の発明によれば、電極
板を封止樹脂の側面にも露出させて外部接続
端子を形成するよう構成したことにより、側面ばかりで
なく底面においても実装を行なうことが可能となる。よ
って、半導体装置を実装する際、実装構造の自由度を向
上させることができ、よって例えば小スペース化を図り
うる実装形態であるフェイスダウンボンディングにも対
応することが可能となる。

【0034】また、請求項4記載の発明によれば、電極
板に突出形成された突出端子を封止樹脂の底面に露出さ
せて外部接続端子を形成することにより、実装時に薄装
に外部接続端子を実装基板上に接続することができ、ま
た、電極板の外部接続端子以外の部分は封止樹脂に埋設
された構成となるため、隣接する外部端子はこの封止樹
脂により絶縁される。このため、実装時にはんだにより
隣接する外部接続端子間で短絡が発生するようになこと
はなく、実装時における信頼性を向上させることができ
る。

【0035】また、請求項5記載の発明によれば、突出
端子を電極板を塑性加工することにより電極板に一体的
に形成したことにより、突出端子を別部材により形成す
る構成に比べて部品点数の削減を図ることができると共
に容易に形成することができ、また、請求項6記載の
発明によれば、突出端子を電極板に配設した突起電極と
したことから、半導体装置をBGA(Ball Grid Arra
y)と同様に取扱うことができ、実装性を向上させる
ことができる。

【0036】また、請求項7及び請求項8記載の発明に
よれば、半導体素子の一部を封止樹脂より露出させた構
成としたことにより、或いは封止樹脂の半導体素子に近
接する位置に放熱部材を配設したことにより、半導体素
子で発生する熱を効率よく放熱することができ、ま
た、請求項9記載の発明によれば、電極板形成工程で金
属基板上にパターニング形成処理を行なうことにより電極
板を形成し、続くチップ搭載工程で電極板に半導体素子
を搭載し電気的に接続する。この際、パターン形成処理
において任意の配線パターンを決定できるため、電極板
により配線の引回しを行なうことが可能となり、これに
より電極板に形成される外部接続端子の端子レイアウト
に自由度を持たせることができる。

【0037】また、封止樹脂形成工程で封止樹脂を形成
することにより、半導体素子及び電極板は封止樹脂に封
止される。よって、半導体素子及び電極板は封止樹脂に
より保護され、よって半導体装置の信頼性を向上させる

ことができる。続いて実装される切断工程により、個々
の半導体装置の境界位置で封止樹脂及び電極板を切断す
ることにより個々の半導体装置が形成される。よって、
電極板は切断位置に露出し、この露出部分を外部接続端
子として用いることができる。

【0038】また、請求項10記載の発明によれば、電
極板形成工程で実装するパターン形成処理として、半導
体装置のリードフレーム形成法として一般に用いられて
いるエッチング法またはプレス加工法を適用することに
より、電極板を形成するのにリードフレーム形成法を利
用することが可能となる。よって、設備の増加を伴うこ
となく、電極板形成工程を実施することができ、

【0039】また、請求項12記載の発明によれば、チ
ップ搭載工程を実施する前に、半導体素子を放熱部材上
に位置決めして取り付けるチップ取り付け工程を実施す
ることにより、チップ搭載工程では放熱部材に位置決め
された状態で半導体素子を電極板に搭載される。よっ
て、チップ搭載工程において、個々の半導体素子の位置
決めを行なう必要がなくなり、形状の大きな放熱部材と
電極板とを位置決めすればよい。そのため、位置決め処理を容
易化することができる。

【0040】また、請求項13記載の発明によれば、電
極板形成工程において、電極板より突出する突出端子を
形成することにより、突起端子部の形成を電極板の形成
と同時かつ一括的に行なうことができるため、半導体装
置の製造工程の簡単化を図ることができる。また、封止
樹脂形成工程で、この突出端子が封止樹脂から露出する
よう封止樹脂を形成することにより、実装時に薄装に外
部接続端子を実装基板上に接続することができると共に隣
接する外部接続端子間で短絡が発生することを防止する
ことができる。

【0041】また、請求項14記載の発明によれば、ソ
ケットを用いて半導体装置を実装基板上に接合するため、
半導体装置の装着脱を容易にでき、例えばメンテナンス
等においても半導体装置を交換する必要があるような場
合でも、容易に交換処理を行なうことができる。また、
ソケットに設けられたリード部は通常半導体装置が装着
される装着部の側部に配設されており、また半導体装置
の外部接続端子は封止樹脂の側面に露出した構成であ
る。このため、装着状態においてリード部と外部接続端
子とは対向するためリード部を引き回すことができ、よっ
て部と外部接続端子との接続を行なうことができ、よっ
てソケットの構造の簡単化を図ることができる。

【0042】また、請求項15記載の発明によれば、外
部端子を形成する突出端子にパンプを配設し、このパンプ
を介して半導体装置を実装基板上に接合させる構造とす
ることにより、半導体装置をBGA(Ball Grid Array)
と同様に実装することができ、実装性の向上及び多ピン
化への対応を図ることができる。

【0043】また、請求項16記載の発明によれば、接

線ピンの上端部を半導体装置の外部接続端子に接合する
と共に下端部を実装基板上に接合することにより、外部接
線端子と実装基板との間には接続ピンが介在した構成と
なる。この接続ピンは信頼可能な構成であるため、例え
ば加熱時等に半導体装置側と実装基板間で熱膨張率差に
起因して応力が発生しても、この応力は接続ピンが可撓
することにより吸収される。よって、応力が印加されて
も外部接続端子と実装基板との接続を確実に維持するこ
とができる。また、実装の信頼性を向上させることができ、

【0044】また、接続ピンは位置決め部材により外部
接続端子の形成位置に対応した位置に位置決めされてい
るため、実装時において個々の接続ピンと外部接続端子
または実装基板との位置決め処理を行なう必要はなく、
実装作業を容易に行なうことができる。また、請求項1
7及び請求項22記載の発明によれば、半導体装置本体
は、半導体素子の表面上に突起電極の先端部を残し樹脂
層が形成されているため、この樹脂層が半導体素子及び
突起電極を保護すると共に、アンダーフィルレジンとし
ても機能することとなる。

【0045】また、インタポーターは、半導体装置本体が
装着されると共にこの半導体装置本体が接続される配線
パターンがベース部材上に形成された構成であるため、
ベース部材上において任意の配線パターンを形成するこ
とができ、この配線パターンには、ベース部材に形成
された孔を介して外部接続端子が接続される。この際、
上記の孔に配線パターンを任意に設定できるため、配
線パターンを引き回すことにより半導体装置本体に設け
られた突起電極の形成位置に拘わらず外部接続端子の位
置を設定することができ、よって、外部接続端子の端
子レイアウトの自由度を高めることができる。

【0046】また、異方性導電膜は接着性及び押圧方向
に対する導電性を有しているため、この異方性導電膜を
用いて半導体装置本体とインタポーターとを接合すること
ができる。この際、異方性導電膜の有する接着性により
半導体装置本体とインタポーターは機械的に接合され、ま
た異方性導電膜の有する異方性導電性により半導体装置
本体とインタポーターは電気的に接合（接続）される。こ
のように、異方性導電膜は接着性及び導電性の双方の特
性を有しているため、各機能を別個の部材により行なう
構成に比べて部品点数及び組み立て工数の低減を図るこ
とができる。

【0047】更に、異方性導電膜は可撓性を有し、かつ
半導体装置本体とインタポーターの間に介装されるため、
この異方性導電膜は緩衝膜として機能する。よって、異
方性導電膜により、半導体装置本体とインタポーターと
の間に発生する応力を緩和することができ、また、請求
項18記載の発明によれば、半導体装置本体に形成され
た突起電極の配設ピッチと、インタポーターに配設され
た外部接続端子の配設ピッチを同一ピッチとしたことによ
り、インタポーターの形状を小さくすることができ、半導

体装置の小型化を図ることができる。
【0048】また、請求項19記載の発明によれば、
半導体装置本体に形成された突起電極の配設ピッチに
し、インタポーターに配設された外部接続端子の配設ピ
ッチを大きく設定したことにより、インタポーター上に
る配線パターンの引回しの自由度を更に向上させるこ
とができる。また、請求項20記載の発明によれば、イ
ンタポーター上に、突起電極と対向する位置に孔を有する
部材を配設したことにより、半導体装置本体をイン
タポーターに装着する際に印加される押圧力はこの孔の
位置に集中するため孔内における導電率は向上し、
半導体装置本体とインタポーターとの電気的接続を
に行なうことができる。

【0049】また、請求項21記載の発明によれば、
インタポーターとしてTABテープを用いたことにより、
TABテープは半導体装置の構成部品として安価に供
与されているため、インタポーターとしてTABテープを
用いることにより半導体装置のコスト低減を図ることが
できる。また、請求項23及び請求項30記載の発明に
よれば、半導体装置本体は、半導体素子の表面上に突起
の先端部を残し樹脂層が形成されているため、この
層が半導体素子及び突起電極を保護すると共に、ア
ンダーフィルレジンとしても機能することとなる。

【0050】また、インタポーターは、半導体装置本体
が装着されると共にこの半導体装置本体が接続される
パターンがベース部材上に形成された構成であるため、
ベース部材上において任意の配線パターンを形成するこ
とができ、この配線パターンには、ベース部材に形
成された孔を介して外部接続端子が接続される。この
ように、配線パターンを任意に設定できるため、
線パターンを引き回すことにより半導体装置本体に接
合された突起電極の形成位置に拘わらず外部接続端子の
位置を設定することができ、よって、外部接続端子の端
子レイアウトの自由度を高めることができる。

【0051】また、接着剤は半導体装置本体とイン
タポーターとを機械的に接合し、また導電性部材は半導体
本体とインタポーターとを電気的に接合（接続）する。
このように、半導体装置本体とインタポーターとを接合す
る際行なわれる機械的接合と電気的接合を別個の部材に
行なうことにより、各機能（機械的接合機能、電気
的接合機能）に最適な部材を選定することができる。
により、半導体装置本体とインタポーターとの機械的
及び電気的接合を共に薄装に行なうことが可能となり
半導体装置の信頼性を向上させることができる。

【0052】更に、接着剤は固化した状態においても
一定の可撓性を有し、かつ半導体装置本体とインタポー
ターの間に介装されるため、この接着剤は緩衝膜として機
能する。よって、接着剤により、半導体装置本体とイン
タポーターとの間に発生する応力を緩和することができ
また、請求項24記載の発明によれば、導電性部材と

【0057】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明の第1実施例である半導体装置10Aを示している。図1(A)は半導体装置10Aの断面図であり、また図1(B)は半導体装置10Aの側面図である。

【0058】本実施例に係る半導体装置10Aは、大略すると半導体素子12、電極板14A、封止樹脂16A、及び突出端子18からなる極めて簡単な構成とされている。半導体素子12(半導体チップ)は、半導体基板上に電子回路が形成されたものであり、その実装面側には複数のバンパ電極22が形成されている。このバンパ電極22は、例えば半田ボールを転写法を用いて配設した構成とされており、電極板14にフリップチップ接合により接合されている。

【0059】このように、半導体素子12と電極板14とをフリップチップ接合したことにより、ワイヤを用いて接続する構成に比べて接合に要するスペースを小さくすることができ、半導体装置10Aの小型化を図ることができる。また、接合部分における配線長を短くすることができ、インピーダンスを低減でき電気的接続性の向上を図ることができる。更に、隣接するバンパ電極22間のピッチを狭ピッチ化できるため、多ピン化にも対応することができる。

【0063】

また、封止樹脂16Aを形成した状態において、半導体素子12の背面28は封止樹脂16Aから露出するよう構成されている。半導体素子12の背面28は電子回路等は形成されておらず比較的高い部位であるため、背面28は封止樹脂16Aから露出させて特に不都合は生じない。また、逆って背面28を封止樹脂16Aから露出させることにより、半導体素子12で発生した熱は、この背面28から外部に放熱されるため、半導体装置10Aの放熱効率を向上させることができる。

【0064】また前記のように、封止樹脂16Aを形成した状態において、電極板14の端部は封止樹脂16Aの側面から露出し側部端子20を形成している。このように、側部端子20が封止樹脂16Aの側面から露出する構成とすることにより、側部端子20を突出端子18と共に他の基板或いは装置と接続する外部接続端子として用いることが可能となる。

【0065】図11は、本発明の第1実施例である半導体装置の実装構造を示しており、上記した構成の半導体装置10Aを実装基板32に実装した状態を示している。同図に示されるように、実装状態で突出端子18は封止樹脂16Aの底面と実装基板32との間に位置することとなり、外部から観察したりまたプローブ等のテスト治具を接続することはできない。

【0066】しかるに、半導体装置10Aでは、側部端子20を封止樹脂16Aの側面から露出させた構成としているため、半導体装置12を実装基板32に実装した後においても、この側部端子20を用いて半導体素子10Aの動作試験を行なうことが可能となる。よって、不良半導体装置の発見を容易に行なうことができ、実装時における歩留りの向上及び信頼性の向上を図ることができる。

【0067】再び図1に戻り、半導体装置10Aの説明を続ける。上記した封止樹脂16Aは、半導体素子12を覆うばかりではなく、電極板14の突出端子18が接合された面にも形成されている。このため、突出端子18は封止樹脂16Aにより保持する機能を奏する。よって、外力印加等により突出端子18が半導体装置10Aから離脱することを防止することができる。また、封止樹脂16Aは絶縁性を有しているため、突出端子18の配設密度が高い場合(即ち、狭ピッチ化された場合)であっても、実装時に隣接する突出端子18間で短絡が発生することを防止することができる。

【0068】更に、突出端子18は、封止樹脂16Aが形成された状態において、封止樹脂16Aから突出するよう構成されている。このため、実装時に液状に突出端子18を実装基板32に接続することができ、また図1に示したように半導体装置10AをBGA(Ball Grid Array)と同様に取り扱うことができ、実装性の向上を図ることができる。ここで、半導体装置10Aに設け

て導電性ペーストを用いたことにより、単に導電性ペーストを半導体素子の突起電極またはインタポーザの配線パターンに塗布するだけで導電性部材の配設を行なうことができるため、半導体装置の組み立て作業の容易化を図ることができる。また、導電性ペーストの塗布方法としては、周知の技術である転写法や印刷法を用いることができる。よって効率的に導電性部材の配設作業を行なうことができる。

【0053】また、請求項25記載の発明によれば、導電性部材をスタックバンドにより構成したことにより、半導体素子の突起電極とインタポーザの配線パターンとはスタックバンドを介して接合されることとなり、電気的接続を確実に行なうことができる。また、請求項26記載の発明によれば、導電性部材を配線パターンと一体的に形成されると共に接導部の配設位置を迂回して突起電極に接続するフライングリードにより構成したことにより、フライングリードと突起電極との接続位置において接導部が介在しないため、フライングリードと突起電極との電気的接続の信頼性を向上させることができる。また、フライングリードはバネ性を有しているため、接続時にフライングリードはバネ力をもつて突起電極に圧接する。よって、これによってフライングリードと突起電極との電気的接続の信頼性を向上させることができる。

【0054】また、請求項27記載の発明によれば、突起電極とフライングリードとの接続位置を樹脂封止したことにより、外力印加等によりフライングリードが変形することを防止でき、半導体装置の信頼性を向上させることができる。また、請求項28記載の発明によれば、接続部の上端部を半導体装置本体の突起電極に接合すると共に下端部をインタポーザに設けられた外部接続端子に接合することにより、突起電極と外部接続端子との間には接続ピンが介在した構成となる。

【0055】この接続ピンは可視可能な構成であるため、例えば加熱時等に半導体装置本体とインタポーザとの間に熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可視することにより吸収される。よって、応力が印加されても外部接続端子と突起電極との接続を確実に維持することができる。また、接続ピンは位置決め部材により突起電極の形成位置に対応した位置に位置決めされているため、実装時において個々の接続ピンと突起電極または外部接続端子との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。

【0056】更に、請求項29記載の発明によれば、位置決め部材を可視性部材により形成したことにより、前記の位置決めピンが可視することにより、位置決め部材はこれに追従して可視するため、半導体装置本体とインタポーザとの間に発生する応力を位置決め部材によっても吸収することができる。

られた電極板14Aに注目する。

【0069】前記のように電極板14Aは金属板であるため、この電極板14Aを半導体素子12を保護する封止樹脂16A内に設けることにより、電極板を封止する。これにより、半導体素子12の保護をより確実なうことができ、よって半導体装置10Aの信頼性を向上させることができる。

【0070】また、電極板14Aは、外部接続端子12との間に位置するものである。このため、従来のように半導体素子に直接外部接続端子を接続する構成と異なり、半導体装置10Aの内部において電極板14Aより半導体素子12と突出端子18、側部端子20とで配線の引回しを行なうことが可能となる。よって、電極板14を設けることにより、半導体装置12及び外部接続端子(突出端子18、側部端子20)の端子レートの自由度を高めることができる。

【0071】更に、電極板14Aは導電性金属よりなり、一般に導電性金属(本実施例の場合は銅合金)は、封止樹脂16Aよりも熱伝導性が良好であるため、半導体素子12で発生した熱は電極板14Aを介して外部に放熱される。よって、半導体素子12で発生した熱をよく放熱することができ、半導体素子12の安定した動作を担保することができる。

【0072】続いて、上記構成とされた半導体装置10Aの製造方法について説明する。図2乃至図5は、半導体装置10Aの製造方法を説明するための図である。尚、図2乃至図5においては、図1に示した構成と対応する構成については同一符号を付して説明する。本発明に係る製造方法は、電極板形成工程、チップ搭載工程、突出端子形成工程、封止樹脂形成工程、切断工程とされている。電極板形成工程では、例えばリードフレームである銅合金(例えば、Cu-Ni-Sn系)よりなる金属基板に対し、パターン形成処理を行なうことにし、複数の電極板14を有するリードフレーム24Aを形成する。この電極板形成工程で実装されるパターン部は、エッチング法またはプレス加工法を用いて行われる。

【0073】このエッチング法及びプレス加工法は、一般の半導体装置の製造工程において、リードフレーム法として一般に用いられている手法である。よってエッチング法またはプレス加工法を適用することにより、設備の増加を伴うことなくリードフレーム24Aより、設備の増加を伴うことなくリードフレーム24Aを形成することができる。図2(A)は、リードフレーム24Aの一部を拡大した図であり、4個の電極板14が示されている。本実施例に係る製造方法では、多数取りを行なう構成とされているため、よって同図に示れるようにリードフレーム24Aには複数の電極板14が形成されている。

【0074】この電極位置14Aは、前記したように複数の金属板パターン26により構成されている。この金属板パターン26は、上記のパターン形成処理において任意の配線パターンに設定することができるため、電極板14Aにより配線の引回を行なうことが可能となり、これにより電極板14Aに形成される外部接続端子の端子レイアウトに自由度を持たせることができる。

【0075】一方、図2(B)は、前記した電極板14A(リードフレーム24A)に搭載される半導体素子12(12A～12C)を示している。本実施例では、一つの電極板14Aに3個の半導体素子12A～12Cを搭載する構成とされている。また、各半導体素子12A～12Cは、夫々電極板14Aと電気的に接続するためのパンプ電極22が配設されている。

【0076】図2Aに示すように、半導体素子12A～12Cの大きさは、必ずしも同一である必要はない。また、各電極板14Aに形成された金属板パターン26は、各半導体素子12A～12Cに形成されたパンプ電極22の形成位置と対応するように構成されている。上記した電極板形成工程が終了すると、続いてチップ搭載工程が実施される。このチップ搭載工程では、電極板14Aに半導体素子12A～12Cを搭載し電気的に接続する処理が行なわれる。図3(A)、(B)は、半導体素子12A～12Cが電極板14Aに搭載された状態を示している。

【0077】本実施例では、半導体素子12A～12Cを電極板14Aに接合する手段として、直接パンプ電極22を電極板14Aに接合するフリップチップ接合法が採用されている。このフリップチップ接合法を用いることにより、前記したように半導体素子12A～12Cと電極板14Aとの接合エリアの小さスペース化を図ることができると共に、接続インピーダンスの低減を図ることができる。

【0078】上記したチップ搭載工程が終了すると、続いて突出端子形成工程が実施される。この突出端子形成工程は、電極板14Aを構成する金属板パターン26の所定位置に突起端子18を形成する。突起端子18は半田ボールにより構成されており、例えば配線法を用いて金属板パターン26に接合される。図4は、突起端子18が配設された電極板14Aを示している。この突起端子18は、上記のように金属板パターン26の配線パターンを適宜遷定することにより、マトリックス状に配設されている。

【0079】上記した突出端子形成工程が終了すると、続いて封止樹脂形成工程が実施される。この封止樹脂形成工程では、半導体素子12(12A～12C)及び突起端子18が配設されたリードフレーム24Aを金型に装着し、圧縮成形法を用いて封止樹脂16Aを形成する。封止樹脂16Aを形成することにより、半導体素子12及び電極板14Aは封止樹脂16Aに封止される。

よって、半導体素子12及び電極板14Aは封止樹脂16Aにより保護され、よって半導体装置10Aの信頼性を向上させることができる。

【0080】図5は、封止樹脂16Aが形成されたリードフレーム24Aを示している。図5に示すように、封止樹脂16Aが形成された状態において、半導体素子12(12A～12C)はその背面28を封止樹脂16Aから露出させており、また突起端子18はその先端所定部分が封止樹脂16Aから突出するよう構成されている。このように、半導体素子12の背面28を封止樹脂16Aから露出させることにより放熱効率を向上できると共に、突起端子18の先端部を封止樹脂16Aから突出させることにより、実装性の向上を図ることができる。

【0081】上記した封止樹脂形成工程が終了すると、続いて切断工程が実施される。この切断工程では、多数個取りを行なうために複数個一括的に形成された半導体装置の各境界位置(図5にA～Aで示す破線位置)で、封止樹脂16A及びリードフレーム24A(電極板14A)を切断する。これにより、図1に示す半導体装置10Aが形成される。

【0082】上記のように、封止樹脂16Aと共にリードフレーム24A(電極板14A)を切断することにより、電極板14Aの切断位置は封止樹脂16Aの側面に必ず露出することとなり側面端子20を形成する。よって、この側面端子20を外部接続端子として用いることができる。続いて、第2実施例に係る半導体装置10Bについて説明する。

【0083】図6は、第2実施例に係る半導体装置10Bを説明するための図であり、図6(A)は半導体装置10Bの断面を、図6(B)は半導体装置10Bの底面を示している。尚、図6において、図1を用いて説明した第1実施例に係る半導体装置10Aと同一構成については、同一符号を付してその説明を省略する。また、以下説明する各実施例においても、同様とする。

【0084】前記した第1実施例に係る半導体装置10Aは、電極板14Aに突起端子18を形成し、この突起端子18を封止樹脂16Aから露出させる構成としていた。これに対し、本実施例に係る半導体装置10Bは、突起端子18を設けることなく、電極板14Aを直接封止樹脂16Bから露出させたことを特徴とするものである。

【0085】本実施例に係る半導体装置10Bは、突起端子18が設けられていないため、部品点数の削減及び製造工程の簡素化を図ることができる。また、電極板14Aは、封止樹脂16Bの側面に加え底面にも露出し外部接続端子を形成するため、側面及び底面の双方において実装を行なうことができる。図13は、半導体装置10Bを実装基板32に実装した構造を示している。図5に示されるように、半導体装置10Bは実装基板32に

半田36を用いてフェイスダウンボンディングされている。この際、半田36は、電極板14Aの底面部ばかりでなく、側面端子20にも回り込んで半田付けされている。

【0086】また、本実施例に係る半導体装置10Bは、後述する第3実施例に係る半導体装置10Cと同様に側面端子20のみを用いて実装することも可能であり、よって実装構造の自由度を向上させることができる。続いて、第3実施例に係る半導体装置10Cについて説明する。図7は、第3実施例に係る半導体装置10Cを説明するための図であり、図7(A)は半導体装置10Cの断面を、図7(B)は半導体装置10Cの上面を夫々示している。

【0087】前記した第2実施例に係る半導体装置10Bは、電極板14Aの底面及び側面部を共に直接封止樹脂16Bから露出させた構成としていたが、本実施例に係る半導体装置10Cは、電極板14Aの側面部のみを封止樹脂16Cから露出させ側面端子20を形成したことを特徴とするものである。本実施例に係る半導体装置10Cでは、電極板14Aが側面部20を露し封止樹脂16Cに埋設された構成とされているため、熱応力や外力により電極板14Aが封止樹脂16Cから剥離することを防止でき、半導体装置10Cの信頼性を向上させることができる。

【0088】続いて、第4実施例に係る半導体装置10Dについて説明する。図8は、第4実施例に係る半導体装置10Dを説明するための図であり、図8(A)は半導体装置10Dの断面を、図8(B)は半導体装置10Dの上面を、図8(C)は半導体装置10Dの底面を夫々示している。本実施例に係る半導体装置10Dは、電極板14Bに突起端子30(突出端子)を形成したことを特徴とするものである。この突起端子30は電極板14Bを塑性加工(例えば、プレス加工)することにより形成されており、よって突起端子30と電極板14Bとは一体的な構成とされている。

【0089】また、突起端子30の形成処理は、前記した電極板形成工程で一括的に形成することができる。このため、突起端子30を形成することにより製造工程が複雑になるようなことはなく、また突起端子30を別部材により形成する構成に比べて部品点数の削減を図ることができる。上記構成とされた突起端子30は、図8(A)、(B)に示されるように、封止樹脂16Dの底面から露出するよう構成されている。このように、突起端子30を封止樹脂16Dの底面から露出させることにより、突起端子30の側面までも回り込み、実な半田付けを行なうことができる。続いて、上記した各実施例に係る半導体装置10A～10Dを実装基板2に実装する実装構造について説明する。

【0090】図17は、上記した半導体装置10Dを実装基板32に実装した状態を示している。図5に示されるように、半導体装置10Dは半田54を用いて実装基板32に実装されるが、この際突起端子30は封止樹脂16Dの底面及び側面に露出した構成とされている。よって、図17に示されるように、実装時に半田54は突起端子30の側面までも回り込み、実な半田付けを行なうことができる。続いて、上記した各実施例に係る半導体装置10A～10Dを実装基板2に実装する実装構造について説明する。

【0091】また、突起端子30及び側面端子20を除き、電極板14Bは封止樹脂16Dに埋設されたままとなるため、隣接する突起端子30は封止樹脂16Dにより絶縁される。このため、実装時に半田54は突起端子30の間で短絡が発生するようにならず、実装の信頼性を向上させることができる。及び図10は、第2実施例に係る半導体装置10Dの製造方法を示しており、前記した半導体装置10Dの製造方法

脂16Dの底面及び側面に露出した構成とされている。め、半田54との接合面積を大きくすることができ、突起端子30を実装基板32に接合することができる。

【0091】また、突起端子30及び側面端子20を除き、電極板14Bは封止樹脂16Dに埋設されたままとなるため、隣接する突起端子30は封止樹脂16Dにより絶縁される。このため、実装時に半田54は突起端子30の間で短絡が発生するようにならず、実装の信頼性を向上させることができる。及び図10は、第2実施例に係る半導体装置10Dの製造方法を示しており、前記した半導体装置10Dの製造方法

【0092】尚、本実施例に係る製造方法は、図2Aを用いて説明した第1実施例に係る製造方法に準じ、電極板形成工程、封止樹脂形成工程、及び切断工程のみが異なり他の工程は同一であるため、以下の説明は電極板形成工程についてのみ説明するものとする。本実施例に係る電極板形成工程では、電極板14Bをリードフレーム24Bを形成する際、突起端子30も一括的に塑性加工される。このように、電極板14Bを形成するため行なわれる塑性加工を一括的に実施することにより容易に実現することができる。

【0093】図9は、電極板形成工程が実施されることにより形成されたリードフレーム24Bを示している。同図において、ハッチングで示される部分が突起端子30であり、この突起端子30は電極板14Bに突出した形状を有している。このように、本実施例によれば、突起端子30の形成を電極板14Bの形成と同時に一括的に行なうことができるため、半導体装置10Dの製造工程の簡素化を図ることができる。

【0094】また、図10に示されるように、封止樹脂形成工程では突起端子30が封止樹脂16Dから露出するよう封止樹脂16Dを形成する。このように、突起端子30を封止樹脂16Dから露出させるには、封止樹脂形成工程で用いる金型のキャピティ面を突起端子30に当接させた状態とすることにより、容易に実現することができる。

【0095】また、切断工程における切断位置は、図5のA～Aで示す破線位置とされており、突起端子30の側面が封止樹脂16Dから露出するよう遷定されている。よって、図17に示されるように、実装時に半田54は突起端子30の側面までも回り込み、実な半田付けを行なうことができる。続いて、上記した各実施例に係る半導体装置10A～10Dを実装基板2に実装する実装構造について説明する。

【0096】図11乃至図17は、第1乃至第7実施例である半導体装置10A～10Dの実装構造を示して

る。尚、図１に示す半導体装置１０Ａを実装する第１実施例に係る実装構造、図２に示す半導体装置１０Ｂの実装構造、及び図３に示す半導体装置１０Ｃの第一実施例に係る実装構造とを要する第４実施例に係る実装構造、及び図５に示す半導体装置１０Ｄの第二実施例に係る実装構造とを要する第５実施例に係る実装構造であるため、こゝでの説明は省略するものとする。

【0097】図12は、第2実施例に係る半導体装置の要部構造を示す。本装置例に係る実装構造は、第1実施例と異なる半導体装置10Aを例に挙げたものである。半導体装置10Aを例に挙げたように、外部端子を形成する突起端子18に実装用パンプ34を配設し、この実装用パンプ34を介して半導体装置10Aを実装基板32に接合させたことを特徴とするものである。

【0098】このように、実装用パンプ34を介して半導体装置10Aを実装基板32に接合させる構造とする。av)と同様に実装することができる、実装性の向上し多ピン化への対応を図ることができる。また、突起端子18は電極板14Aに形成されるものであるため、その体積を大きくするには限界があるが、実装用パンプ34の体積は任意に設定することができる。よって、酸化物実装用パンプ34間で短絡が発生しない範囲において実装用パンプ34の体積を最大とすることにより、半導体装置10Aと実装基板32との接合力を増大することができる。これにより実装の信頼性を向上させることができ、これにより実装の信頼性には、他の実施例に係る半導体装置10A、10B、10Dについても適用できるものである。

【0099】図14は、第4実施例に係る半導体装置22の実装構造を示している。本実施例に係る実装構造は、第2実施例に係る半導体装置10Bを例に挙げたものである。図14、実装基板38を用いて半導体装置10Bを実装基板332に接合させたことを特徴とするものである。実装部38は、接続ピン40と位置決め部材42とにより構成される。接続ピン40は、可撓可能な導電性金属材料（例えば、導電性を有したバナシウム）により構成されている。接続ピン40は、接続ピン40の外部接続端子として機能する位置と対応した位置に配設されている。また、位置決め部材42はシリコン樹脂等の可撓性及び絶縁性を有した材料により形成されており、接続ピン40を上記の所定位置に位置決めする機能を奏するものである。

【0100】上記構成とされた実装部材 38は、実装された状態において、接続ピン 40の上端部が半導体装置 40Bの電極板 14Aに接合（例えば、半田付）に接合され、また接続ピン 40の下端部は実装基板 32に接合される。従って本実施例に係る実装構造では、外部接続端子 40と実装基板との間には接続ピンが介在した構成となっており、接続ピン 40は、前記のように可撓可能な構成であるため、例えば加熱時等に半導体装置 10Bと実装基板 32との間で熱膨張率差に起因した応力が発生しても、

この応力は接線ピン40が可撓することにより吸収される。

【0101】よって、上記の圧力が印加されても半導体装置10Bと実装基板32との接合状態を確実に維持することができる。この際、実装基板32の傾斜性を向上させることができ、接続ピン40を保持する位置決め部材42も、可撓性を有した構成とされているため、接続ピン40の曲げ変形を阻止するようにならず、応力の吸収を確実に行なうことができる。

【0102】更に、接続部40は位置決め部材42により位置決めされているため、実装時において個々の接続部40と半導体装置10B（基板14A）、また、個々の個々の接続部40と実装基板32との位置決め処理を行なう必要はなく、実装作業の容易化を図ることができる。尚、本実施例に係る実装構造は、他の実施例に係る半導体装置10A、10B、10Dについても適用できるものである。図15は、第5実施例に係る半導体装置の実装構造を示している。

【0103】本実施例に係る実装構造は、第3実施例に係る半導体装置10Cを例に挙げたものであり、ソケット444を用いて半導体装置10Cを実装基板32に実装したことを特徴とするものである。ソケット444は、半導体装置10Cが装着される装着部46と、封止樹脂166Cの側面に突出した側面端子20と接続するよう設けられたリード部48とを有した構成とされている。そして、半導体装置10Cを装着部46に装着し、リード部48の上部と半導体装置10Cの側面端子20とを電気的に接続した上で、リード部48の下部を実装基板32に接合（例えば、半田付け接合）する。これにより、半導体装置10Cはソケット444を介して実装基板32に実装される。

【0104】このように、ソケット44を用いて半導体装置10Cを実装基板32に実装する構造とすることにより、実装基板34に対して半導体装置10Cの装着脱着は、単にソケット42に半導体装置10Cを装着脱着すればよい。半導体装置10Cの装着脱着を容易に行うことができる。このため、例えばメンテナンスの際において半導体装置10Cを交換する必要がある場合でも、容易に交換処理を行なうことができる。

【0105】また、ソケット44に設けられたリード部448は、装着部46の側部に配設されており、また半導体装置10Cの側部端子20は封止樹脂16Cの側面に突出して形成されている。このため、半導体装置10Cを装着部46に装着した状態においてリード部448と側部端子20とは対向するため、リード部448を引き回すことなくリード部448と半導体装置10Cとの接続を行なうことができる。よってソケット44の構造の簡素化を図ることができる。

【0106】図16は、第6実施例に係る半導体装置の
実装構造を示している。本実施例に係る実装構造は、前

記した第5実施例に係る実装構造と同様にリード部50を用いて半導体装置10Cを実装基板32に実装するものであるが、装着部46に代えてダイスタージ52を利用している。ダイスタージ52は半導体装置10Cを着着させたリード部50とダイスタージ52により構成されている。ダイスタージ52は半導体装置10Cを装着部分であり、その外周位置に複数のリード部50が形成されている。このリード部50は、その半導体装置10Cと対向する部分の一部が直角上方に折曲され、側面端子20と電気的に接続するように構成されている。

【10107】上記構成とされたソケット51を用いることによっても、第5実施例に依る装置構造と同様に半導体装置10Cの装置構造を容易に行うことが可能となる。また、ソケット51を構成するリード部50とダイスタージ52は一体的な構成であるため、部品点数の削減を図ることができると共に容易にソケット51を製造する事ができる。

【0108】続いて、第5実施例である半導体装置10Eについて説明する。図18は、第5実施例である半導体装置10Eの断面図である。本実施例に係る半導体装置10Eは、前記した第1実施例に係る半導体装置10Aに対し、その上面に放熱板56（放熱部材）を設けたことを特徴とするものである。放熱板56は、例えばアモルフィウス炭素等の熱伝導率が良好で、かつ軽量の材質が用いられ定めている。この放熱板56は、熱伝導率が高い接着層を用いて半導体要素12及び封止樹脂16Aに接着されている。このように、封止樹脂16Aの半導体要素12に近接する位置に放熱板56を配設したことにより、半導体要素12で発生する熱を効率よく放熱することとなる。

【0109】特に、本実施例では半導体素子12の背面28は封止樹脂16Aから露出した構成とされており、放熱板56はこの露出した背面28に直接接された構造とされている。よって、放熱板56と半導体素子12との間に、熱伝導性が不良な封止樹脂16Aが介在しないため、放熱特性を更に良好なものとすることができ

【0110】続いて、上記構成とされた半導体装置10Eの製造方法（第3実施例に係る製造方法）について説明する。図19乃至図24は、半導体装置10Eの製造方法を説明するための図である。尚、図19乃至図24において、第1実施例に係る製造方法の説明に用いた図2乃至図5で示した構成と対応するものについては同一の符号を付した。以下、図19乃至図24を参照して、第3実施例に係る製造方法を説明する。

【0111】本実施例に係る製造方法は、第1実施例に係る製造方法に対し、少なくともチップ搭載工程を実施する前に、半導体素子12を放熱板56上に位置決めして取り付けるチップ取り付け工程を実施することを特徴とするものである。また、駆動域形成工程、チップ搭載工程とするものである。

工程、突出端子形成工程、封止樹脂形成工程、及び切工程は、基本的には第1実施例と同様の処理が行なわれる。

【0112】図19は、電極板形成工程を実施することにより形成されたフレドレーム24Aの一部を拡大した図であり、図中破線で囲まれた領域が1個の半導体要素10Eに対応する領域である(以下、この領域を接合領域58という)。また、図20はチップ取り付け工程で形成しておき、この放熱板16上に半導体要素12(2A~12C)を電極板56A上の配設位置と対応した位置に位置決めして接着する。これにより、各半導体要素12(2A~12C)は、電極板14Aへの配設位置に固定されたこととなり、また3個の半導体要素1A~12Cを一括的に取り扱うことが可能となる。

【01113】尚、図20に示す例では、各放熱域56と接合領域58に対応した大きさに分離され別個の構成とされているが、図21に示すように、運転部60による各放熱域56をリードフレーム24Aの各接合領域58の構成位置と対応するよう連結した構成としてもよい。上記したチップ付け付け工程が終了すると、続いてチップ搭載工程及び突出端子形成工程が実施される。図22及び図23は、チップ搭載工程及び突出端子形成工程終了した状態のリードフレーム24Aを示している。図22は、放熱域56がリードフレーム24Aに取り付けられた一図を拡大して示す図であり、また図23はそれ全体を示す図である。

【0114】チップ搭載工程では、半導体素子12（2A～12C）が取り付けられた放熱板56をリードフレーム24Aに配設することにより、電極板14Aに、半導体素子12A～12Cを搭載し電気的に接続する処理が行われる。前記したように、本実施例ではチップ搭載工程を実施する前に、半導体素子12（12A～12C）を放熱板56上に位置決めして取り付けるチップ付け工程が実施されている。よって、チップ搭載工程では、放熱板56をリードフレーム24Aの搭合部48に位置決めして取り付けることにより、複数の半導体素子12（12A～12C）を一括的に電極板14に搭載することができる。

【0115】これにより、チップ搭載工程で個々の半導体素子12(12A~12C)の位置決めを行なう必要がなくなり、単に形状の大きな基板50と電極板44(44A~44D)とを位置決めすればよい。また、位置決め処理を容易化することができる。また、図22に示した、連結部60により複数の放熱板56が合領域58に対応して設けられたものを用いることに、より、更に多数回の半導体素子12を一括的に電極板12(12A~12D)と位置決めし、位置決めして搭載することになり、作業に容易になり、生産性を向上させることができる。

の製造効率を向上させることができる。

【01116】上記したチップ搭載工程及び突出端子形成工程が終了すると、続いて封止樹脂形成工程が実施される。この封止樹脂形成工程では、半導体素子12（12A～12C）及び突起端子18が配設されたリードフレーム24Aを金型に装着し、圧縮成形法を用いて封止樹脂16Aを形成する。この際、本実施例では、各電極板14Aには放熱板56が配設された状態となっており、この放熱板56を下型の一部として用いることができる。

【01117】図24は、封止樹脂16Aが形成されたリードフレーム24Aを示している。図24に示すように、封止樹脂16Aは放熱板56より内側に形成されるため、成型時における離型性を向上させることができる。そして、上記した封止樹脂形成工程が終了すると、続いて切斷工程が実施され、図24にA-Aで示す破線位置で切斷処理が行なわれることにより、図18に示す半導体装置10Eが形成される。

【01118】続いて、第6実施例である半導体装置10Fについて説明する。図25は、第6実施例である半導体装置10Fの断面図である。本実施例に係る半導体装置10Eは、前記した第5実施例に係る半導体装置10Eに対し、放熱板56の上部に更に放熱フィン62を配設したことを特徴とするものである。放熱フィン62は多数のフィン部61を設けることにより、その放熱面積は広くなっている。また、放熱フィン62は、熱伝導性の良好な被覆層により放熱板56の上部に被覆されている。よって、放熱フィン62を放熱板56に配設することにより放熱効率は更に向上し、半導体素子12をより効果的に冷却することができる。

【01119】続いて、第7乃至第10実施例に係る半導体装置10G～10Jについて説明する。この各半導体装置10G～10Jは、共に放熱板56を配設することにより、半導体素子12から発生する熱を効率よく放熱するよう構成したことを特徴とするものである。図26は、第7実施例である半導体装置10Gを示している。本実施例に係る半導体装置10Gは、前記した第2実施例に係る半導体装置10B（図6参照）に放熱板56を配設した構成とされている。図27は、第8実施例である半導体装置10Hを示している。本実施例に係る半導体装置10Hは、前記した第4実施例に係る実装構造で用いた実装部材38を有しており（図14参照）、かつ、半導体素子12の上部に放熱板56を配設した構成とされている。

【0120】また、図28は、第9実施例である半導体装置10Iを示している。本実施例に係る半導体装置10Iは、前記した第3実施例に係る半導体装置10C（図7参照）に放熱板56を配設した構成とされている。更に、図29は、第10実施例である半導体装置10Jを示している。本実施例に係る半導体装置10J

は、前記した第4実施例に係る半導体装置10D（図8参照）に放熱板56を配設した構成とされている。このように、各半導体装置10G～10Jに夫々放熱板56を配設することにより、放熱効率の向上を図ることができる。

【0121】続いて、第11実施例である半導体装置10Kについて説明する。図30は第11実施例に係る半導体装置10Kを説明するための図であり、図30（A）は半導体装置10Kの断面を、図30（B）は半導体装置10Kの底面を夫々示している。本実施例に係る半導体装置10Kは、大略すると半導体装置本体70、インタポーザ72A、異方性導電層74、及び外部接続端子76等により構成されている。

【0122】半導体装置本体70は、半導体素子78、突起電極80、及び樹脂層82等により構成されている。半導体素子78（半導体チップ）は、半導体基板に電子回路が形成されたものであり、その裏面の面には多数の突起電極80が配設されている。突起電極80は、例えば半田ボールを転写法を用いて配設された構成とされており、外部接続電極として機能するものである。

【0123】また、樹脂層82（梨地で示す）は、例えばポリミド、エポキシ（PPS、PEK、PES、及び熱硬化性樹脂等の熱可塑性樹脂）等の熱硬化性樹脂よりなり、半導体素子78のハンパ形成面の全面にわたって形成されている。従って、半導体素子78に配設されている突起電極80は、この樹脂層82により封止された状態となるが、突起電極80の先端部は樹脂層82から露出するよう構成されている。即ち、樹脂層82は、先端部を覆って突起電極80を露出するよう半導体素子78に形成されている。

【0124】上記構成とされた半導体装置本体70は、その全体的な大きさが略半導体素子78の大きさと等しい、いわゆるチップサイズパッケージ構造となる。また、上記したように半導体装置本体70は、半導体素子78上に樹脂層82が形成された構成とされており、かつこの樹脂層82は先端部を覆って突起電極80を封止した構造とされている。このため、樹脂層82によりデリケートな突起電極80は保持されることとなり、よってこの樹脂層82はアンダーフィルレジン6と同様の機能を要することとなる。

【0125】また、インタポーザ72Aは半導体装置本体70と外部接続端子76を電気的に接続する中間部材として機能するものであり、配線パターン84Aとベース部材86Aとにより構成されている。本実施例では、インタポーザ72AとしてTAB（Tape Automated Bonding）テープを利用したことを特徴としている。このように、インタポーザ72AとしてTABテープを用いることにより、一般にTABテープは半導体装置の構成部品として安価に供給されているため、半導体装置10Kの

コスト低減を図ることができる。

【0126】インタポーザ72Aを構成する配線パターン84Aは、例えば銅をプリント配線した構成とされている。ベース部材86Aは例えばポリミド系の絶縁性樹脂よりなり、半導体装置本体70に形成された突起電極80の形成位置と対応する位置には孔88が貫通形成されている。また、異方性導電層74は、放電性を有する可塑性樹脂内に導電性フィラーを混入したものである。よって、異方性導電層74は放電性と押圧方向に対する導電性を共に有したものである。この異方性導電層74は、図示されるように、半導体装置本体70とインタポーザ72Aとの間に介装される。

【0127】これにより、半導体装置本体70とインタポーザ72Aは、異方性導電層74の有する放電性により接合される。また、この接合時において半導体装置本体70はインタポーザ72Aの方向に押圧されるため、半導体装置本体70とインタポーザ72Aは、異方性導電層74により電気的に接続される。また、外部接続端子76は半田ボールよりなり、ベース部材86Aに形成された孔88を介して配線パターン84Aと接続される。この外部接続端子76は、半導体装置本体70の搭載の邪魔にならないように、半導体装置本体70の搭載面と反対側の面に配設される。

【0128】更に、本実施例に係る半導体装置10Kは、半導体装置本体70に形成された突起電極80の配設ピッチと、インタポーザ72Aに配設された外部接続端子76の配設ピッチが同一ピッチとなるよう構成されている。これに伴い、異方性導電層74及びインタポーザ72Aの平面視した時の面積は、半導体装置本体70の平面視した時の面積と略等しくなるよう構成されている。

【0129】上記のように、半導体装置本体70に形成された突起電極80の配設ピッチと、インタポーザ72Aに配設された外部接続端子76の配設ピッチを同一ピッチとしたことにより、異方性導電層74及びインタポーザ72Aの形状を小さくすることができ、半導体装置10Kの小型化を図ることができる。ところで、上記したインタポーザ72Aは、配線パターン84Aがベース部材86A上に形成された構成であるため、このベース部材86Aの小型化を図ることが可能となる。即ち、ベース部材86A上に形成された突起電極80の形成位置に拘わらず外部接続端子76の配設位置を決定することができ、よって、外部接続端子76の端子レイアウトを設定するに際し、その自由度を高めることができるため、半導体装置本体70の設計及び、半導体装置10Kが実装される実装基板の配線設計を容易化することができる。

【0131】また、前記したように、異方性導電層は放電性及び押圧方向に対する導電性を有しているため、この異方性導電層74を用いて半導体装置本体とインタポーザ72Aとを接合することができる。原、異方性導電層74の有する放電性により半導体本体70とインタポーザ72Aは機械的に接合され、異方性導電層74の有する異方性導電性により半導体装置本体70とインタポーザ72Aは電気的に接合される。

【0132】このように、異方性導電層74は放電性及び導電性の双方の特性を有しているため、各電極をの部材により行なう構成に比べて部品点数及び組立工数の低減を図ることができる。更に、異方性導電層74は可塑性を有し、かつ半導体装置本体70とインタポーザ72Aとの間に介装されるため、この異方性導電層74を緩衝膜として機能させることができる。よって、半導体装置本体70とインタポーザ72Aとの間に接合する応力（例えば、熱応力等）を異方性導電層74で緩和することができ、半導体装置10Kの信頼性を向上させることができる。

【0133】続いて、上記構成とされた半導体装置10Kの製造方法について説明する。図31は、半導体装置10Kの製造方法（第4実施例に係る製造方法）を示している。図31に示すように、半導体装置10Kを製造するには、予め別工程において半導体装置本体70、異方性導電層74、及びインタポーザ72Aを形成しておく。そして、図示されるように半導体装置本体70、インタポーザ72Aとの位置決めを行なった上で、半導体装置本体70とインタポーザ72Aとの間に異方性導電層74を介装し、半導体装置本体70をインタポーザ72Aの方向に押圧する。

【0134】これにより、前記のように異方性導電層74の有する放電性により半導体装置本体70とインタポーザ72Aは機械的に接合されると共に、異方性導電層74の有する異方性導電性により半導体装置本体70とインタポーザ72Aは電気的に接合される。よって、実施例の製造方法によれば、半導体装置本体70とインタポーザ72Aとの機械的接合及び電気的接合を一括的に行うことができるため、半導体装置10Kの製造工程を単純化することができる。

【0135】上記のように半導体装置本体70とインタポーザ72Aとの接合処理が終了すると、続いて半導体よりなる外部接続端子76を転写法によりインタポーザ72Aに接合する。この際、外部接続端子76の配線パターン84Aは、外部接続端子76の配線パターン84Aと電気的に接続する。

【0136】この際、上記のように外部接続端子76とインタポーザ72Aに形成された孔88内に進入する

ため、外部接続端子76とインタポーザ72Aとの接合

は強くなる。よって、外部接続端子76がインタポータ72Aから離脱することを防止でき、半導体装置10Kの信頼性を向上させることができる。続いて、第12実施例における半導体装置10Lについて説明する。

【0137】図32は、第12実施例に係る半導体装置10Lの要部を拡大して示した図である。尚、図32において、図30を用いて説明した第11実施例に係る半導体装置10Kの構成と対応する構成については、同一符号を付してその説明を省略する。本実施例に係る半導体装置10Lは、インタポータ72A上に所定の厚さを有する絶縁部材94を配設したことを特徴とするものである。この絶縁部材94は例えばポリイミド系の絶縁樹脂であり、半導体装置本体70に設けられた突起電極80の形成位置と対応する位置には接続孔96が形成されている。

【0138】上記構成とされた半導体装置10Lによれば、半導体装置本体70をインタポータ72Aに装着する際、半導体装置本体70をインタポータ72Aに向けて押圧すると、この押圧力により異方性導電層74は変形付勢され、この際、特に接続孔96の形成位置においては、異方性導電層74は狭い接続孔96内に入り込むうとし、よって接続孔96内の内圧は高くなる。

【0139】このように、接続孔96内における異方性導電層74の圧力が集中的に高くなるため、異方性導電層74内に混入されている導電性フィラーの密度も高くなる。よって、異方性導電層74の接続孔96内における導電率は向上し、よって半導体装置本体70とインタポータ72Aとの電気的な接続を確実に行うことができる。

【0140】図33及び図34は、半導体装置10Lの製造方法（第5実施例に係る製造方法）を示している。尚、図33及び図34において、第4実施例に係る製造方法を説明するのに用いた図31に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Lを多数個取りする方法について説明するものとする。

【0141】半導体装置10Lを製造するには、予め別工程において半導体装置本体70が複数個形成されたウエハ90、異方性導電層74、及びインタポータ72Aが複数個形成されたTABテープ92を形成しておく。このTABテープ92を形成する際、その上面（ウエハ90が装着される面）の半導体装置本体70と対向する位置に絶縁部材94を形成する。この絶縁部材94は、例えばホトレジストの形成技術を利用して形成することができる。また、この絶縁部材94を形成する際、突起電極80の形成位置と対応する位置に接続孔96を形成しておく。

【0142】そして、図33に示されるように、突起電極80と接続孔96との位置決めを行なった上で、ウエハ90とTABテープ92との間に異方性導電層74を

介装し、ウエハ90をTABテープ92に向けて押圧する。これにより、前記のように異方性導電層74の有する接着性によりウエハ90とTABテープ92は機械的に接合されると共に、異方性導電層74の有する異方性導電性により突起電極80の配設位置と外部接続端子76の配設位置とを離間させる。この際、前記ように接続孔96内においては異方性導電層74の導電性が向上するため、突起電極80と配端パターン84Aとの電気的接続を確実に行うことができる。

【0143】図34は、ウエハ90とTABテープ92とが接合された状態を示している。このように、ウエハ90とTABテープ92の接合処理が終了すると、鋭い図34にA-Aで示す破壊位置で切断処理が行なわれる。これにより、個々の半導体装置本体70及びインタポータ72Aが形成され、図32に示す半導体装置10Lが形成される。よって、本実施例の製造方法によれば、半導体装置本体70とインタポータ72Aとの機械的接合処理及び電気的接合処理を一括的に行うことができるため、半導体装置10Lの製造工程を簡便化することができる。また、本実施例ではいわゆる多数個取りができるため、半導体装置10Lの製造効率を向上させることができる。

【0144】更に、一般に異方性導電層74を用いた電気的接続構造では、電気的接続の接着力が低下することが問題とされるが、本実施例では半導体装置本体70（突起電極80）と対向する位置に接続孔96が形成された絶縁部材94を配設したことにより、突起電極80と配端パターン84Aとの電気的接続を確実に行うことができる。よって、半導体装置10Lの信頼性を向上させることができる。

【0145】続いて、第13実施例である半導体装置10Mについて説明する。図35は、第13実施例に係る半導体装置10Mを示しており、図35（A）は半導体装置10Mの断面を、図35（B）は半導体装置10Mの底面を示している。尚、図35において、図30を用いて説明した第11実施例に係る半導体装置10Kの構成と対応する構成については、同一符号を付してその説明を省略する。

【0146】前記した第11実施例に係る半導体装置10Kでは、小型化を図るために半導体装置本体70に形成された突起電極80の配設ピッチと、インタポータ72Aに配設された外部接続端子76の配設ピッチとを同一ピッチとするよう構成していた。これに対し、本実施例に係る半導体装置10Mは、半導体装置本体70に形成された突起電極80の配設ピッチに対し、インタポータ72Bに配設された外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポータ72Bの面側は半導体装置本体70の面側に広く広がっている。

【0147】このように、突起電極80の配設ピッチに

対し外部接続端子76の配設ピッチを大きく設定したことにより、インタポータ72B上における配端パターン84Bの引回しの自由度を更に向上させることができる。具体的には、図35（B）に示されるように、突起電極80が配設される接続孔96の形成位置と外部接続端子76の配設位置とを離間させる。この接続孔96と外部接続端子76とを配端パターン84Bで接続することが可能となる。

【0148】これにより、外部接続端子76の端子レイアウトの自由度が向上し端子設計の容易化を図ることができる。また、半導体装置本体70の高密度化により突起電極80の電極間ピッチが狭ピッチ化しても、突起電極80と外部接続端子76との配設位置を異ならせることができるため、上記の狭ピッチ化に容易に対応することができ。

【0149】図36は、上記した半導体装置10Mの製造方法（第6実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Mを形成する方法を例に挙げて示している。本実施例に係る半導体装置10Mの製造方法では、予め別工程において半導体装置本体70、異方性導電層74、及びインタポータ72Bを形成しておく。そして、突起電極80と接続孔96との位置決めを行なった上で、半導体装置本体70とインタポータ72Bとの間に異方性導電層74を介装し、半導体装置本体70をインタポータ72Bに向けて押圧する。

【0150】これにより、異方性導電層74の有する接着性により半導体装置本体70とインタポータ72Bは機械的に接合されると共に、異方性導電層74の有する異方性導電性により半導体装置本体70とインタポータ72Bは電気的に接合される。これにより、図35に示す半導体装置10Mが形成される。よって、本実施例の製造方法によっても、半導体装置本体70とインタポータ72Bとの機械的接合処理及び電気的接合処理を一括的に行うことができるため、半導体装置10Mの製造工程を簡便化することができる。

【0151】続いて、第14実施例である半導体装置10Nについて説明する。図37は、第14実施例である半導体装置10Nを示す断面図である。尚、図37において、図30を用いて説明した第11実施例に係る半導体装置10Kの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第11実施例に係る半導体装置10Kは、半導体装置本体70とインタポータ72Aを接合するのに異方性導電性層74を用い、半導体装置本体70とインタポータ72Aとを電気的及び機械的に一括的に接合する構成とされていた。

【0152】これに対し、本実施例に係る半導体装置10Nは、異方性導電性層74に代えて接端利98と導電性ペースト100（導電性部材）を設けたことを特徴とするものである。接端利98は、例えばポリイミド系の

絶縁性樹脂であり、硬化した後においても所定の可塑性を有する材質に選定されている。この接端利98は半導体装置本体70とインタポータ72Aとの間に介され、この半導体装置本体70とインタポータ72Aと接合する機能を奏する。また、接端利98の突起電極80の形成位置に対応する位置には通孔102が設けられている。

【0153】一方、導電性ペースト100は所定の導電性を有しており、よって上記の通孔102内にも入り込む構成とされている。この導電性ペースト100は通孔102内に介装されることにより、半導体装置本体70とインタポータ72Aとを電気的に接続する機能とする。具体的には、導電性ペースト100により突起電極80と配端パターン84Aとが電気的に接続されることにより半導体装置本体70とインタポータ72Aとに接続される。

【0154】上記のように、本実施例に係る半導体装置10Nでは、接端利98が半導体装置本体70とインタポータ72Aとを機械的に接合し、また導電性ペースト100が半導体装置本体70とインタポータ72Aとを電気的に接合（接続）することにより、半導体装置本体70とインタポータ72Aとを接合する際に行なわれる機械的接合と電気的接合を別個の部材（接端利98、導電性ペースト100）により行うことにより、各々（機械的接合機能、電気的接合機能）に最適な部材（導電性ペースト100）を接合することにより、半導体装置本体70とインタポータ72Aとの機械的接合及び電気的接合を共に確実に行うことが可能となり、半導体装置10の信頼性を向上させることができる。

【0155】更に、接端利98は固化した状態においても所定の可塑性を有し、かつ半導体装置本体70とインタポータ72Aの間に介装されるため、この接端利98は導電層として機能する。よって、接端利98は半導体装置本体70とインタポータ72Aとの間に介する応力を緩和することができる。尚、本実施例にも半導体装置10Nは突起電極80の配設ピッチと外部接続端子76の配設ピッチとが等しく設定された構成のため、半導体装置10Nの小型化を図ることができる。

【0156】図38乃至図40は、半導体装置10Pの製造方法（第7実施例に係る製造方法）を示している。尚、図38乃至図40において、第5実施例に係る製造方法を説明するのに用いた図33及び図34に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Nを多数個取りする方法について説明するものとする。

【0157】半導体装置10Nを製造するには、予めウエハ90、接端利98、及びインタポータ72Bが

層形成されたTABテープ92を形成しておく。この半導体装置70を形成する際、複数形成されている突起電極80にはそれぞれ導電性ペースト100が塗布されている。また、接着剤98の突起電極80の形成位置と対応する位置には、通孔102が予め穿設されている。更に、TABテープ92を形成する際、その上面(ウェハ90が装着される面)の半導体装置本体70と対向する位置に絶縁部材94を形成する。

【0158】この絶縁部材94は、例えばホトレジストの形成技術を利用して形成することができる。また、この絶縁部材94を形成する際、突起電極80の形成位置と対応する位置に接線孔96を形成しておく。そして、突起電極80と接線孔96との位置決めを行なった上で、ウェハ90とTABテープ92との間に接着剤98を介装し、ウェハ90をTABテープ92に接着固定する。これにより、接着剤98によりウェハ90とTABテープ92は機械的に接合されると共に、導電性ペースト100は通孔102及び接線孔96内に入り込み、突起電極80と配線パターン84Aは電気的に接合される。図39は、ウェハ90とTABテープ92とが接合された状態を示している。

【0159】このように、ウェハ90とTABテープ92の接合処理が終了すると、続いて図39にA-Aで示す接線位置で切断処理が行なわれる。これにより、個々の半導体装置本体70及びインタポザ72Bが形成される。図37に示す半導体装置10Nが形成される(図37に示す半導体装置10Nは、絶縁部材94が設けられていない構成を示している)。

【0160】尚、上記した製造方法では、半導体装置10Nを多数個取りする方法について述べたが、図40に示すように、個々に半導体装置10Nを製造することも可能である。続いて、第15実施例である半導体装置10Pについて説明する。図41は、第15実施例に係る半導体装置10Pを示す断面図である。尚、図41において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。

【0161】前記した第14実施例に係る半導体装置10Nでは、小型化を図るために半導体装置本体70に形成された突起電極80の配設ピッチと、インタポザ72Bに配設された外部接続端子76の配設ピッチとを同一ピッチとするよう構成していた。これに対し、本実施例に係る半導体装置10Pは、半導体装置本体70に形成された突起電極80の配設ピッチに対し、インタポザ72Bに配設された外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポザ72Bの面積は半導体装置本体70の面積に対し広くなっている。

【0162】このように、突起電極80の配設ピッチに対し外部接続端子76の配設ピッチを大きく設定したこ

とにより、インタポザ72B上における配線パターン84Bの引回しの自由度を更に向上下することができ、これにより、外部接続端子76の端子レイアウトの自由度が向上し、端子設計の容易化を図ることができる。更に、突起電極80の電極間ピッチが狭びつち化してもこれに容易に対応することができる。

【0163】図42は、上記した半導体装置10Pの製造方法(第8実施例に係る製造方法)を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Pを形成する方法に準じて示している。本実施例に係る半導体装置10Pの製造方法でも、予め別工程において半導体装置本体70、接着剤98、及びインタポザ72Bを形成しておく。また、半導体装置70を形成する際、複数形成されている突起電極80にはそれぞれ導電性ペースト100を塗布しておく。また、接着剤98の突起電極80の形成位置と対応する位置には、通孔102を予め穿設しておく。更に、絶縁部材94の突起電極80の形成位置と対応する位置には、接線孔96を形成しておく。

【0164】そして、突起電極80と接線孔96との位置決めを行なった上で、半導体装置本体70とインタポザ72Bとの間に接着剤98を介装し、半導体装置本体70をインタポザ72Bに接着固定する。これにより、接着剤98により半導体装置本体70とインタポザ72Bは機械的に接合されると共に、導電性ペースト100は通孔102及び接線孔96内に入り込み、突起電極80と配線パターン84Aは電気的に接合される。以上の処理を実施することにより、図41に示す半導体装置10Pが形成される。

【0165】続いて、第16実施例である半導体装置10Qについて説明する。図43は、第16実施例である半導体装置10Qを示す断面図である。尚、図43において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第14実施例に係る半導体装置10Nは、導電性部材として導電性ペースト100を用い、この導電性ペースト100により半導体装置本体70とインタポザ72Aとを電気的に接合(接線)する構成とされていた。これに対し、本実施例に係る半導体装置10Qは、導電性ペースト100に代えてスタッドバンプ104(導電性部材)を設けたことを特徴とするものである。

【0166】スタッドバンプ104は、インタポザ72Aに形成された配線パターン84A上の所定位置(突起電極80と対応する位置)に配設されている。また、このスタッドバンプ104はワイヤボンディング技術を用いて形成される。具体的には、ワイヤボンディング装置を用い、先ずキャピラリから延出した金線の先端部に金ボールを形成し、続いてこの金ボールを配線パターン84Aの上記所定位置に押圧する。

【0167】続いて、キャピラリを超音波振動させて金ボールを配線パターン84Aに超音波溶接する。その後、金線をクランプした上でキャピラリを上動させて金線を切断する。以上の処理を行なうことにより、配線パターン84A上にスタッドバンプ104が形成される。

このスタッドバンプ104は、通孔102を介して突起電極80に接続し、これにより半導体装置本体70とインタポザ72Aとを電気的に接続する機能を奏する。

【0168】上記のように、本実施例に係る半導体装置10Qでは、接着剤98が半導体装置本体70とインタポザ72Aとを機械的に接合し、またスタッドバンプ104が半導体装置本体70とインタポザ72Aとを電気的に接合(接線)する。このように、機械的接合と電気的接合を別個の部材(接着剤98、スタッドバンプ104)により行なうことにより、半導体装置本体70とインタポザ72Aとの機械的接合及び電気的接合を共に確実に行なうことが可能となり、半導体装置10Qの信頼性を向上させることができる。

【0169】また、接続状態において、スタッドバンプ104は突起電極80に食い込んだ状態で接続されるため、スタッドバンプ104と突起電極80との電気的接続を確実に行なうことができる。尚、本実施例に係る半導体装置10Qは突起電極80の配設ピッチと外部接続端子76の配設ピッチとが等しく設定された構成であるため、半導体装置10Qの小型化を図ることができる。

【0170】図44乃至図46は、半導体装置10Qの製造方法(第9実施例に係る製造方法)を示している。尚、図44乃至図46において、第7実施例に係る製造方法を説明するのに用いた図38乃至図40に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Qを多数個取りする方法について説明するものとす。

【0171】半導体装置10Qを製造するには、予め別工程において半導体装置本体70が複数個形成されたウェハ90、接着剤98、及びインタポザ72Bが複数個形成されたTABテープ92を形成しておく。このTABテープ92を形成する際、その上面(ウェハ90が装着される面)の半導体装置本体70と対向する位置に絶縁部材94を形成する。また、絶縁部材94を形成する際、突起電極80の形成位置と対応する位置に接線孔96を形成し、更に接線孔96の内部の配線パターン84A上にスタッドバンプ104を形成する。

【0172】そして、突起電極80と接線孔96との位置決めを行なった上で、ウェハ90とTABテープ92との間に接着剤98を介装し、ウェハ90とTABテープ92に押圧しつつ接着固定する。これにより、接着剤98によりウェハ90とTABテープ92は機械的に接合されると共に、スタッドバンプ104は通孔102及び接線孔96を介して突起電極80に食い込んだ状態と

なり、よって突起電極80と配線パターン84Aはスタッドバンプ104より電気的に接合される。図45はウェハ90とTABテープ92とが接合された状態を示している。

【0173】このように、ウェハ90とTABテープ92の接合処理が終了すると、続いて図45にA-Aで示す接線位置で切断処理が行なわれる。これにより、半導体装置本体70及びインタポザ72Bが形成される。図43に示す半導体装置10Qは、絶縁部材94が設けられていない構成を示している。

【0174】尚、上記した製造方法では、半導体装置10Qを多数個取りする方法について述べたが、図40に示すように、個々に半導体装置10Qを製造することも可能である。続いて、第17実施例である半導体装置10Rについて説明する。図47は、第17実施例に係る半導体装置10Rを示す断面図である。尚、図47において、図43を用いて説明した第16実施例に係る半導体装置10Qの構成と対応する構成については、同一符号を付してその説明を省略する。

【0175】前記した第16実施例に係る半導体装置10Qでは、小型化を図るために半導体装置本体70に形成された突起電極80の配設ピッチと、インタポザ72Aに配設された外部接続端子76の配設ピッチとを同一ピッチとするよう構成していた。これに対し、本実施例に係る半導体装置10Rは、半導体装置本体70に形成された突起電極80の配設ピッチに対し、インタポザ72Bに配設された外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これにより、インタポザ72Bの面積は半導体装置本体70の面積に対し広くなっている。

【0176】このように、突起電極80の配設ピッチに対し外部接続端子76の配設ピッチを大きく設定したことで、インタポザ72B上における配線パターン84Bの引回しの自由度を更に向上下することができ、これにより、外部接続端子76の端子レイアウトの自由度が向上し、端子設計の容易化を図ることができる。更に、突起電極80の電極間ピッチが狭びつち化してこれに容易に対応することができる。

【0177】図48は、上記した半導体装置10Qの製造方法(第10実施例に係る製造方法)を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置10Qを形成する方法に準じて示している。本実施例に係る半導体装置10Qの製造方法でも、予め別工程において半導体装置本体70、接着剤98、及びインタポザ72Bを形成しておく。また、このスタッドバンプ104はワイヤボンディング技術を用いて形成される。具体的には、ワイヤボンディング装置を用い、先ずキャピラリから延出した金線の先端部に金ボールを形成し、続いてこの金ボールを配線パターン84Aの上記所定位置に押圧する。

孔96を形成しておく。更に、接続孔96内に露出した配線パターン84Aには、前記したワイヤボンディング技術を用いてスタッドパンプ104を形成しておく。
[0178]そして、突起電極80と接続孔96との位置決めを行なった上で、半導体装置本体70とインタポザ72との間に接着剤98を介装し、半導体装置本体70をインタポザ72に押圧しつつ接着剤98を固着させる。これにより、接着剤98により半導体装置本体70とインタポザ72とは機械的に接続され、また、スタッドパンプ104は通孔102及び接続孔96を介して突起電極80に食いつなぎ状態となる。以上の処理を行なうことにより、突起電極80と配線パターン84Aはスタッドパンプ104より電気的に接続され、よって図47に示す半導体装置10Rが形成される。

[0179]続いて、第18実施例である半導体装置10Sについて説明する。図49は、第18実施例である半導体装置10Sを示す断面図である。尚、図49において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第14乃至17実施例に係る半導体装置10N〜10Rは、導電性部材として導電性ペースト100或いはスタッドパンプ104を用い、この導電性ペースト100或いはスタッドパンプ104により半導体装置本体70とインタポザ72Aとを電気的に接続（接続）する構成とされている。これに対し、本実施例に係る半導体装置10Sは、上記の導電性ペースト100或いはスタッドパンプ104に代えてフライングリード106（導電性部材）を設けたことを特徴とするものである。

[0180]フライングリード106は、インタポザ72Cに形成された配線パターン84Cと一体的に形成されており、インタポザ72Cの外周縁部より斜め上方（半導体装置本体70に向かう方向）に延出した構成とされている。また、このフライングリード106の形成位置は、突起電極80の形成位置と対応するよう設定されている。

[0181]フライングリード106を形成するには、予め形成されたインタポザ72Cのフライングリード106の形成部分に対応するベース部材86Cをドライエッチング等により除去し、これにより単体となつて配線パターン37Cを上記した斜め上方方向にむけ折曲形成する。これにより、インタポザ72Cの外周縁部位置にフライングリード106が形成される。

[0182]このフライングリード106は、接着剤98の配設位置を迂回して突起電極80に接続し、これにより半導体装置本体70とインタポザ72Aとを電気的に接続する機能を奏する。また、突起電極80とフライングリード106との接続位置は、カバークリップ108により樹脂封止されている。これにより、外力印加等によりフライングリード106が変形することを防止して

き、半導体装置10Sの信頼性を向上させることができる。

[0183]上記のように、本実施例に係る半導体装置10Sでは、接着剤98が半導体装置本体70とインタポザ72Cとを機械的に接続し、またスタッドパンプ104が半導体装置本体70とインタポザ72Cとを電気的に接続（接続）する。このように、機械的接続と電気的接続を別個の部材（接着剤98、フライングリード106）により行なうことにより、半導体装置本体70とインタポザ72Aとの機械的接続及び電気的接続を共に確実に行なうことが可能となり、半導体装置10Qの信頼性を向上させることができる。

[0184]また、フライングリード106と突起電極80との接続位置においては絶縁性を有する接着剤98が介在しないため、フライングリード106と突起電極80との電気的接続の信頼性を向上させることができる。更に、フライングリード106はパネ力を有しているため、接続時にフライングリード106はパネ力をもつて突起電極80に圧接する。よって、これによってもフライングリード106と突起電極80との電気的接続の信頼性を向上させることができる。

[0185]図50乃至図54は、半導体装置10Sの製造方法（第11実施例に係る製造方法）を示している。尚、図50乃至図54において、第7実施例に係る製造方法を説明するのに用いた図38乃至図40に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Sを多数個取りする方法について説明するものと

する。
[0186]半導体装置10Sを製造するには、図50に示すように、予め別工程において半導体装置本体70が複数個形成されたウェハ90、接着剤98、及びインタポザ72Cを形成しておく。また、このインタポザ72Cを形成する際、上記した形成方法によりフライングリード106を形成しておく。そして、突起電極80とフライングリード106との位置決めを行なった上で、ウェハ90と各インタポザ72Cとの間に接着剤98を介装し、各インタポザ72Cをウェハ90に押圧しつつ接着剤98を固着させる。これにより、図51に示すように、接着剤98によりウェハ90とインタポザ72Cとは機械的に接続される。また、フライングリード106は突起電極80に押圧されることにより発生するパネ力により突起電極80に圧接し、よって突起電極80とフライングリード106は確実に電気的接続が行なわれる。

[0187]上記のように、接着剤98によりウェハ90とインタポザ72Cとが機械的に接続され、かつ突起電極80とフライングリード106とが電気的に接続されると、続いて少なくとも突起電極80とフライングリード106との接続位置を含むウェハ90とインタポ

ーザ72C間にカバークリップ108が形成される。このカバークリップ108は、ボンディングにより形成しても、またモールド成形により形成する構成としてもよい。図51は、カバークリップ108が形成された状態を示している。

[0188]このように、カバークリップ108の形成処理が終了すると、続いて図52にA-Aで示す破断位置で切断処理が行なわれ、これにより図49に示す半導体装置10Sが形成される。尚、上記した製造方法では、半導体装置10Qを多数個取りする方法について述べたが、図53及び図54に示すように、半導体装置10Sを個々に製造することも可能である。

[0189]続いて、第19実施例である半導体装置10Tについて説明する。図55(A)は、第19実施例である半導体装置10Tを示す断面図である。尚、図55において、図37を用いて説明した第14実施例に係る半導体装置10Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第14乃至18実施例に係る半導体装置10N〜10Sは、導電性部材として導電性ペースト100、スタッドパンプ104、或いはフライングリード106を用い、この導電性ペースト100、スタッドパンプ104、フライングリード106により半導体装置本体70とインタポザ72A、72Bとを電気的に接続（接続）する構成とされている。

[0190]これに対し、本実施例に係る半導体装置10Uは、上記の導電性ペースト100或いはスタッドパンプ104に代えて、インタポザ72Dに導電性部材として、接続孔110と位置決め部材112を組み込んだ構成としたことを特徴とするものである。本実施例に係るインタポザ72Dは、大略すると接続孔110、位置決め部材112、接着剤114、及びベース部材116等により構成されている。接続孔110は、突起電極80の形成位置に対応した位置に配設され、組み立てられた状態において、その上端部を突起電極80に接合すると共に、下端部を外部接続端子76に接合される。また、位置決め部材112は、この接続孔110を突起電極80の形成位置と対向する位置には孔88が形成される。また、位置決め部材112は、この接続孔110を突起電極80の形成位置と対向する位置には孔88を有するものであり、シリコンゴム等の可塑性材料により形成されている。

[0191]上記のように、接続孔110を保持した位置決め部材112は、接着剤114によりベース部材116に接着固定される。この際、ベース部材116の突起電極80の形成位置と対向する位置には孔88が形成されており、接続孔110はこの孔88を介して外部接続端子76と接続される。図55(B)は、接続孔110と外部接続端子76との接続位置を拡大して示している。図55に示されるように、接続孔110は外部接続端子76内に食い込んだ状態で接続されており、よって確実に電気的に接続されている。

[0192]上記構成とされた半導体装置10Tでは、接続孔110の上端部を突起電極80に接合すると、下端部を外部接続端子76に接合しているため、突起電極80と外部接続端子76との間に接続孔110が介在した構成となる。この接続孔110は可塑性材料であるため、例えば加熱時等に半導体装置本体70とインタポザ72Dとの間に熱膨張率差に起因して力が発生しても、この応力は接続孔110が可塑性材料により吸収される。よって、応力が印加されても外部接続端子76と突起電極80との接続を確実に維持することができる。

[0193]また、接続孔110は位置決め部材により突起電極80の形成位置に対応した位置に位置決められている。このため、実装時において個々の接続孔110と突起電極80または外部接続端子76との位置関係がずれなく、実装作業を容易に行なうことができる。更に、位置決め部材112は可塑性材料より形成されているため、前記のように接続孔111より形成しても、位置決め部材112はこれに追随して可塑性材料、半導体装置本体70とインタポザ72との間に発生する応力を位置決め部材112によって吸収することができる。

[0194]図56乃至図58は、半導体装置10Tの製造方法（第12実施例に係る製造方法）を示している。尚、図56乃至図58において、第7実施例に係る製造方法を説明するのに用いた図38乃至図40に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置10Tを多数個取りする方法について説明するものと

する。
[0195]半導体装置10Sを製造するには、図56に示すように、予め別工程において半導体装置本体70が複数個形成されたウェハ90、接続孔110を保持した位置決め部材112、接着剤114、及びベース部材116を形成しておく。接着剤114及びベース部材116の突起電極80の形成位置と対応する位置には孔88及び通孔102を形成しておく。
[0196]そして、突起電極80と位置決め部材112との位置決めを行なった上で、ウェハ90をインタポザ72D（接続孔110、位置決め部材112、接着剤114、ベース部材116）に加熱しつつ押圧する。これにより、図57に示すように、接続孔111の上端部は突起電極80内に嵌入し、かつ下端部は外部接続端子76に嵌入する。よって突起電極80と外部接続端子76は接続孔110を介して電気的に接続される。

[0197]このように、突起電極80と外部接続端子76との接続処理が終了すると、続いて図57にA-Aで示す破断位置で切断処理が行なわれ、これにより図5(A)に示す半導体装置10Tが形成される。尚、

記した製造方法では、半導体装置10Tを多数取り出す方法について述べたが、図58に示すように、半導体装置10Tを個々に製造することも可能である。

【0198】続いて、第20実施例である半導体装置10Uについて説明する。図59は、第20実施例に係る半導体装置10Uを示す断面図である。尚、図59において、図55を用いて説明した第19実施例に係る半導体装置10Tの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第19実施例に係る半導体装置10Tでは、小型化を図るために半導体装置本体70に形成された突起電極80の配設ピッチと、インタポーザー72Dに配設された接続パッド110の配設ピッチとを同一ピッチとするよう構成していた。

【0199】これに対し、本実施例に係る半導体装置10Uは、半導体装置本体70に形成された突起電極80の配設ピッチに対し、インタポーザー72Bに配設された外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザー72Bの面積は半導体装置本体70の面積に対し広くなる。

【0200】このように、突起電極80の配設ピッチに対し外部接続端子76の配設ピッチを大きく設定したことで、インタポーザー72B上における配線パターンにより、インタポーザー72B上における配線パターン84Bの引回し自由度を更に向上させることができる。これにより、外部接続端子76の端子レイアウトの自由度が向上し、端子設計の容易性に対応することができ、狭ピッチ化してもこれに容易に対応することができ、また、突起電極80（接続パッド110）の電極ピッチが狭ピッチ化してもこれに容易に対応することができ、また、図面はかりでなく底面においても実装を行なうことが可能となるため、実装構造の自由度を向上させることができる。

【0201】図60は、上記した半導体装置10Tの製造方法（第13実施例に係る製造方法）を示す図である。また、同図では、多数取り出す方法ではなく、個々に半導体装置10Tを形成する方法を例に挙げ、図58に示す方法を用いて半導体装置10Tの製造方法では、予め別工程において半導体装置本体70、接続パッド110を保持した位置決め部材112、接着剤114、及びインタポーザー72Bを形成しておく。この位置には、通孔102を予め穿設しておく。

【0202】そして、突起電極80と位置決めパッド112、及び位置決めパッド112と接続パッド112との位置決めを行なった上で、半導体装置本体70をインタポーザー72Bに加熱しつつ押圧する。これにより、接続パッド112の上端部は突起電極80内に嵌入し、かつ下端部は外部接続端子76に嵌入し、よって突起電極80と外部接続端子76は接続パッド110を介して電気的に接続される。以上処理を行なうことにより、図59に示す半導体装置10Uが形成される。

【0203】

【発明の効果】 上述の如く本発明によれば、次に述べる種々の効果を実現することができる。請求項1記載の発

明によれば、半導体素子を保護する封止樹脂内には電極板が存在し、この電極板は封止樹脂を補強する機能を奏するため、半導体素子の保護をより確実に行なうことができる。よって半導体装置の信頼性を向上させることができる。

【0204】また、外部接続端子は半導体素子と電気的に接続された電極板の一部として形成されているため、この電極板の半導体素子との接続位置と外部接続端子の形成位置との間の部分において、配線の引回しを行なうことが可能となる。よって、電極板を設けることにより半導体装置の端子レイアウトの自由度を高めることができる。

【0205】また、電極板は導電性金属よりなり、封止樹脂よりも熱伝導性が良好であるため、半導体素子で発生した熱は電極板を介して外部に放熱される。よって、半導体素子で発生した熱を効率的に放熱することによって、外部接続端子76の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザー72Bの面積は半導体装置本体70の面積に対し広くなる。

【0206】また、請求項2及び請求項11記載の発明によれば、小スペース内において確実に半導体素子と電極板とを接続することができ、半導体装置の小型化を図ることができる。また、接続部における配線長が短いためインパダンスを低減できると共に多ピン化にも対応することができ、また、請求項3記載の発明によれば、側面ばかりでなく底面においても実装を行なうことが可能となるため、実装構造の自由度を向上させることができる。

【0207】また、請求項4記載の発明によれば、実装時に確実に外部接続端子を実装基板上に接続することができると共に、隣接する外部接続端子間で短絡が発生することを防止することができる。また、請求項5記載の発明によれば、突出端子を電極板に一体的に形成したことにより、突出端子を別部材により形成する構成に比べて部品点数の削減を図ることができると共に容易に形成することができる。

【0208】また、請求項6記載の発明によれば、半導体装置をBGA(Ball Grid Array)と同様に取り扱うことができ、実装性を向上させることができる。また、請求項7及び請求項8記載の発明によれば、半導体素子で発生する熱を効率的に放熱することができる。また、請求項9記載の発明によれば、パターン形成処理において任意の配線パターンを選定できるため、電極板により配線の引回しを行なうことが可能となり、これにより電極板に形成される外部接続端子の端子レイアウトに自由度を持たせることができる。

【0209】また、封止樹脂形成工程で封止樹脂を形成することにより半導体素子及び電極板は封止樹脂に封止され保護されるため、半導体装置の信頼性を向上させる

ことができる。更に、切断工程において個々の半導体装置の境界位置で封止樹脂及び電極板は切断され、よって電極板は切断位置において露出するため、この露出部分を外部接続端子として用いることができる。

【0210】また、請求項10記載の発明によれば、電極板を形成するのにリードフレーム形成法を利用することと可能となり、よって設備の増加を伴うことなく電極板形成工程を実施することができる。また、請求項12記載の発明によれば、チップ搭載工程において個々の半導体素子の位置決めを行なう必要がなくなり、形状の大きな放熱部材と電極板とを位置決めすればよい。また、位置決め処理を容易化することができる。

【0211】また、請求項13記載の発明によれば、突起端子部の形成を電極板の形成と同時に一括的に行なうことができるため、半導体装置の製造工程の簡単化を図ることができる。また、実装時に確実に外部接続端子を実装基板上に接続することができると共に隣接する外部接続端子間で短絡が発生することを防止することができる。

【0212】また、請求項14記載の発明によれば、ソケットを用いて半導体装置を実装基板上に接続するため半導体装置の実装性を容易に行なうことができる。また、半導体装置の装着状態においてリード部と外部接続端子とは対向するため、リード部を引き回すことなくリード部と外部接続端子との接続を行なうことができる。よってソケットの構造の簡単化を図ることができる。

【0213】また、請求項15記載の発明によれば、半導体装置をBGAと同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。また、請求項16記載の発明によれば、加熱時等に半導体装置側と実装基板側で熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収されるため、外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。

【0214】また、接続ピンは位置決め部材により外部接続端子の形成位置に対応した位置に位置決めされているため、実装時に個々の接続ピンと外部接続端子または実装基板との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。また、請求項17及び請求項22記載の発明によれば、インタポーザーベース部材上において任意の配線パターンを形成することができると共に、配線パターンを引き回すことにより突起電極の形成位置に拘わらず外部接続端子の位置を設定することができ、よって外部接続端子の端子レイアウトの自由度を高めることができる。

【0215】また、半導体装置本体とインタポーザーとを接合する異方性導電層は、接着性及び導電性の双方の特性を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工程の低減を図るこ

とができる。更に、異方性導電層は樹脂層として機能するため、この異方性導電層により半導体装置本体とインタポーザーとの間に発生する応力を緩和することができる。

【0216】また、請求項18記載の発明によれば、突起電極の配設ピッチと外部接続端子の配設ピッチを同じくしたことにより、インタポーザーの形状を小さくすることができ、半導体装置の小型化を図ることができ、また、請求項19記載の発明によれば、突起電極の配設ピッチに対し外部接続端子の配設ピッチを大きく設定したことにより、インタポーザー上における配線パターンの引回し自由度を更に向上させることができる。

【0217】また、請求項20記載の発明によれば、半導体装置本体をインタポーザーに装着される際に印加する押圧力は孔の形成位置に集中して孔内における導電性を向上させるため、半導体装置本体とインタポーザーとの間に発生する熱を効率的に放熱することができる。また、請求項21記載の発明によれば、インタポーザーとしてTABテープを利用することにより半導体装置のコスト低減を図ることができる。

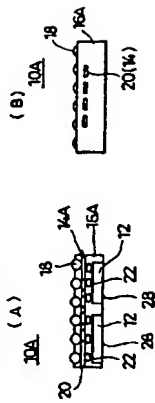
【0218】また、請求項23及び請求項30記載の発明によれば、インタポーザーに形成された配線パターン任意に設定できるため、配線パターンを引き回すことにより突起電極の形成位置に拘わらず外部接続端子の位置を設定することができ、よって外部接続端子の端子レイアウトの自由度を高めることができる。また、半導体装置本体とインタポーザーとを接合する際行なわれる機械的接合と電気的接合を別個の部材（接着剤、導電性部材）により行なうことにより、各機能（機械的接合機能、電気的接合機能）に最適な部材を選定することができる。また、請求項24記載の発明によれば、単に導電性ペースト半導体素子の突起電極またはインタポーザーの配線パターンに塗布するだけで導電性部材の配設を行なうことができるため、半導体装置の組み立て作業の容易化を図ることができる。

【0219】更に、接着剤は固化した状態においても電氣的接合を共に確保し行なうことができる。また、請求項25記載の発明によれば、突起電極の形成位置に突起電極とインタポーザーの配線パターンとが重なり、接続ピンを介して接合されることとなり、電気的接続を確保し行なうことができる。また、請求項26記載の発明によれば、フライングリードと突起電極との接続位置においては接着剤が介在しないため、フライングリードと突起電極との電気的接続の信頼性を向上させることができる。また、接続時にフライングリードはバネ力をもって突起電極に圧接するため、これによって

【0220】また、請求項25記載の発明によれば、突起電極の形成位置に突起電極とインタポーザーの配線パターンとが重なり、接続ピンを介して接合されることとなり、電気的接続を確保し行なうことができる。また、請求項26記載の発明によれば、フライングリードと突起電極との接続位置においては接着剤が介在しないため、フライングリードと突起電極との電気的接続の信頼性を向上させることができる。また、接続時にフライングリードはバネ力をもって突起電極に圧接するため、これによって

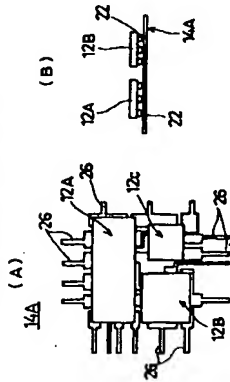
【図1】

本発明の第1実施例である半導体装置を説明するための図



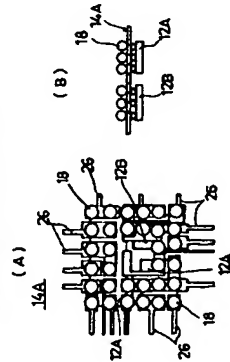
【図3】

本発明の第1実施例である半導体装置の製造方法を説明するための図(その2)



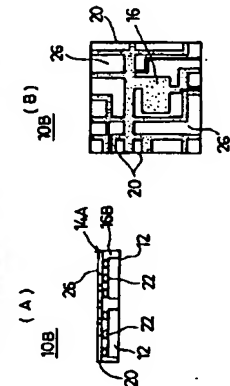
【図4】

本発明の第1実施例である半導体装置の製造方法を説明するための図(その3)



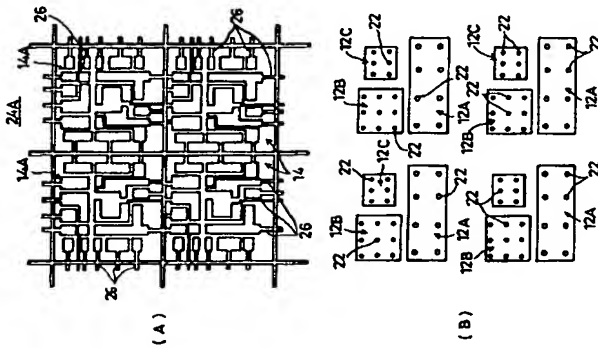
【図6】

本発明の第2実施例である半導体装置を説明するための図



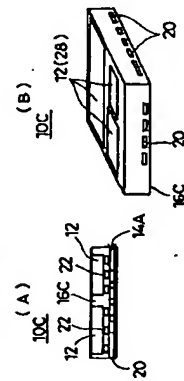
【図2】

本発明の第1実施例である半導体装置の製造方法を説明するための図(その1)



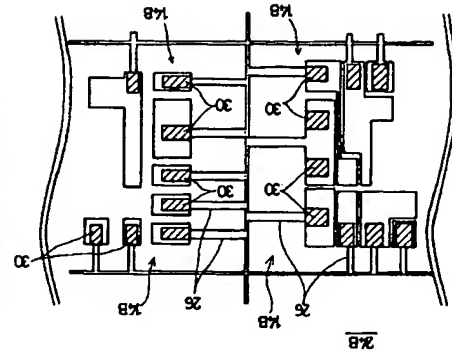
【図7】

本発明の第2実施例である半導体装置を説明するための図



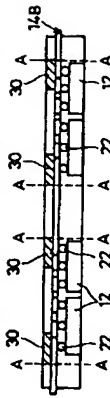
【図9】

本発明の第2実施例である半導体装置の製造方法を説明するための図(その1)



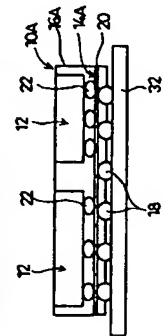
【図10】

本発明の第2実施例である半導体装置の製造方法を説明するための図(その2)



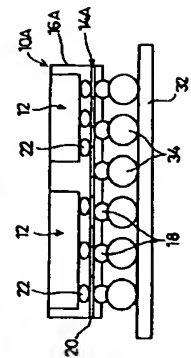
【図11】

本発明の第1実施例である半導体装置の製造方法を説明するための図



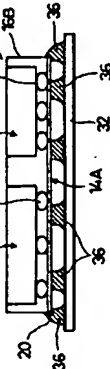
【図12】

本発明の第2実施例である半導体装置の製造方法を説明するための図



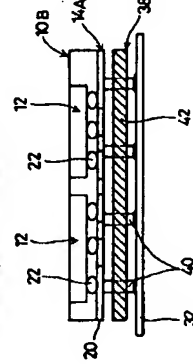
[13]

本発明の第3実施例である半導体装置の実装構造を説明するための図



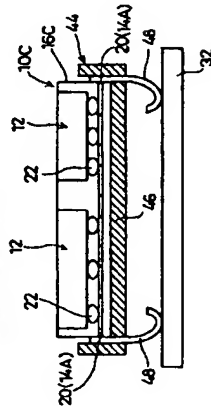
【图14】

わが国の第4次実施計画である平成林業政策の完成と
推進を説明するための図



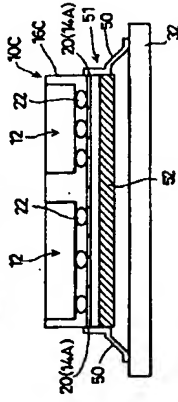
【例 15】

本発明の第5実施例である半導体装置の実装構造と説明するための図



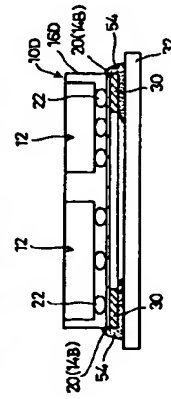
【16】

本発明の第6実施例である半導体装置の実装構造を説明するための図



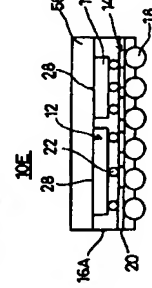
【图 17】

本証明の第7実施例である半導体装置の製造工程を説明するための図



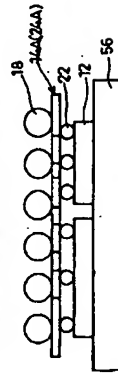
【图 18】

本説明の第4実施例である半導体装置を説明するための図



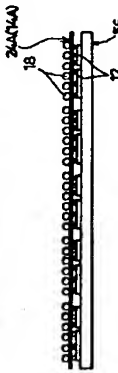
[22]

本邦中の第一実施例である平塚林業重の製造方法を説明するための図（その4）



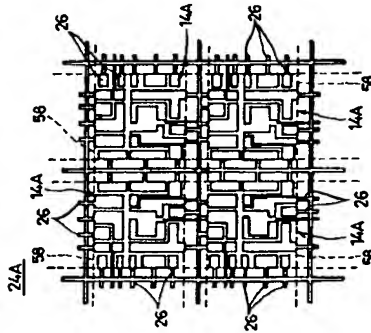
[23]

本発明の第3実施例である半導体装置の製造方法
を説明するための図（その5）



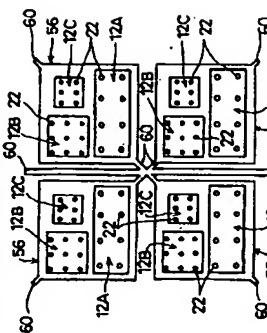
【図19】

本表の第一実施例である半導体装置の駆動方法を説明するための図(その1)



【21】

本発明の第3実施例である半導体装置の製造方法を説明するための図(その3)



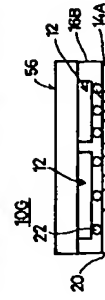
【图24】

本書の第3章は、例としてある半導体装置の製造方法を説明するために図(その6)



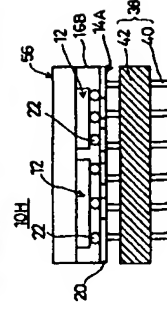
【图26】

本説明の第7表に附けである半導体油重を説明するための図



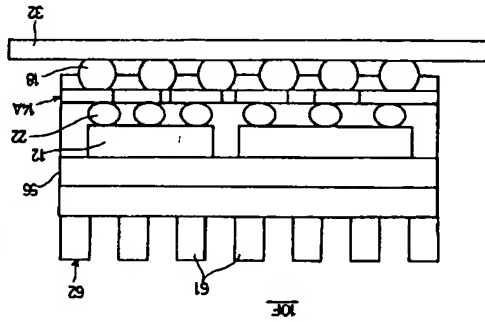
【例27】

本説明の條は、実施例である半導体装置の説明
するための図



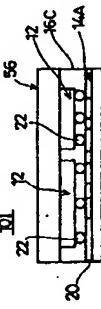
【図25】

本発明の第4実施例である半導体装置の説明するための図



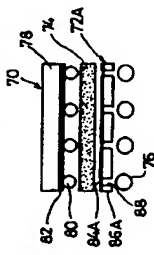
【図28】

本発明の第9実施例である半導体装置の説明するための図



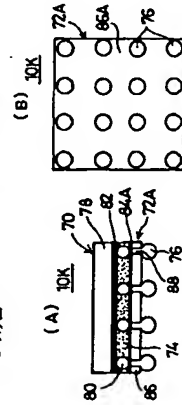
【図31】

本発明の第4実施例である半導体装置の製造方法を示すための図



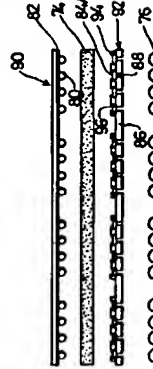
【図30】

本発明の第7実施例である半導体装置の説明するための図



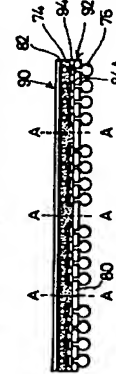
【図33】

本発明の第5実施例である半導体装置の製造方法を示すための図(その1)



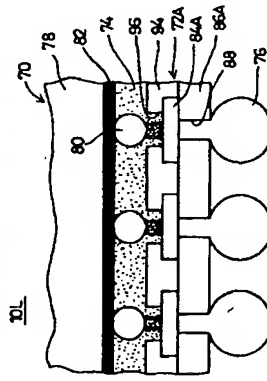
【図34】

本発明の第5実施例である半導体装置の製造方法を示すための図(その2)



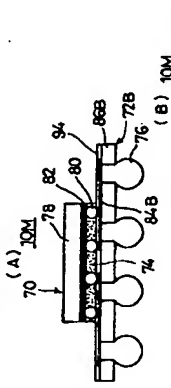
【図32】

本発明の第12実施例である半導体装置の説明するための図



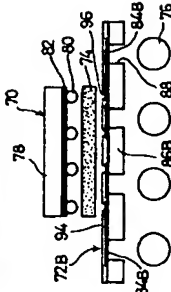
【図35】

本発明の第13実施例である半導体装置の説明するための図



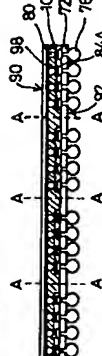
【図36】

本発明の第14実施例である半導体装置の製造方法を示すための図



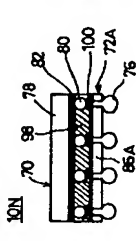
【図39】

本発明の第7実施例である半導体装置の製造方法を示すための図(その2)



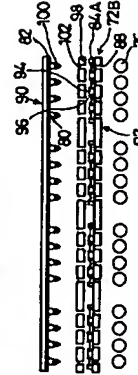
【図37】

本発明の第14実施例である半導体装置の説明するための図



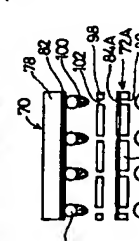
【図38】

本発明の第7実施例である半導体装置の製造方法を示すための図(その1)



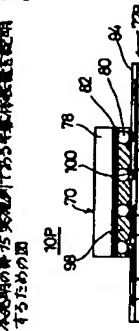
【図40】

本発明の第7実施例である半導体装置の製造方法を示すための図(その3)



【図41】

本発明の第15実施例である半導体装置の説明するための図



【図46】

本発明の第9実施例である半導体装置の製造方法を示すための図

